

<http://product.dangdang.com/26515262.html>



作者简介



张亚非，上海交通大学微纳米科学技术研究院教授。1992-1995年，兰州大学物理学博士，化学博士后。1996-1997年，日本科技厅研究员；1997-1999年，香港城市大学高级研究员；1999-2001年，日本科技厅先端机能材料研究中心高级科学家；2001年至今，上海交通大学长江学者特聘教授。



段力，上海交通大学微纳米学院电子学系副教授。1987年毕业于清华大学获硕士学位，1998年赴美国乔治梅森大学获博士学位。曾在硅谷LSI和AMD任职多年。2013年就职于上海交通大学。研究方向：微纳米科技在航空技术领域的交叉应用，航空发动机传感器预研。

前 言

集成电路是现代信息产业和信息社会的基础,是改造和提升传统产业的核心技术。随着全球信息化、网络化和知识经济浪潮的到来,集成电路产业的战略地位越来越重要。半导体集成电路发展极快,不论是集成度、外封装类型还是新型电路,都在日新月异地变化,但其工作厚理、内部结构仍然是相似的。了解它的基本知识,对合理应用及了解其发展都是有益的。基于以上背景,本书的作者们协力合作撰写了此书。

图 1 是集成电路制造技术在集成电路专业体系知识里的相对位置,用树状结构(见图 2 和图 3)来描述集成电路整体结构和集成电路制造技术的相对关系,有利于帮助学生有机地掌握集成电路专业知识,对未来的工程实践和职业发展很有裨益。



图 1 微电子工程树状结构,及其集成电路制造工艺在树状结构中的相对位置

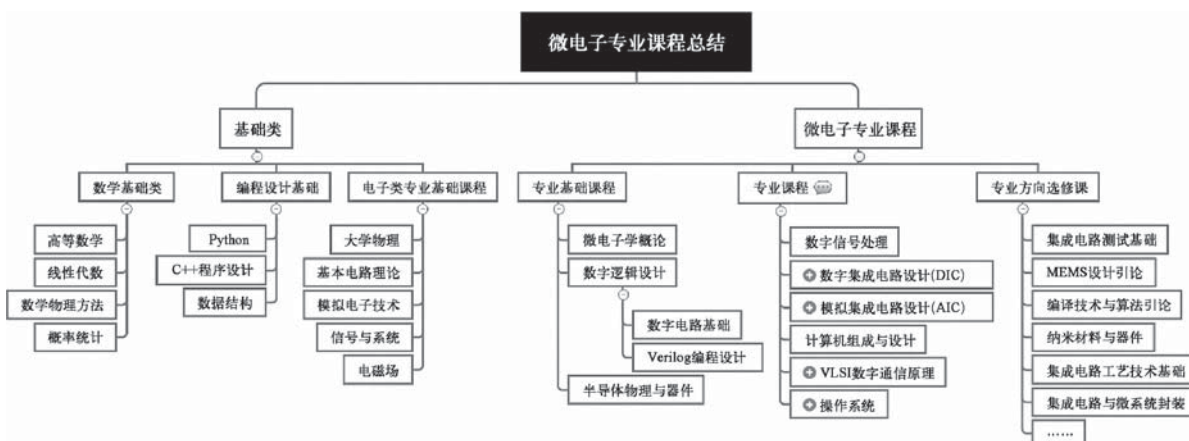


图 2 微电子学课程小结

全书分 6 章。第 1,2,3 章集成电路的综述部分由张亚非、陈达主写,交大微纳电子学系 F13 大一本科生李嘉雯 沈宇蓝 黄昱婷 翁昊天 费思豪 李冠鋆 尹海韬 全东旭 庄乙成 黄扬华 李永博 陈鸿键 李岑 林炳辉 刘骏尘 沈冲 戴一凡 隋宇 杨荣宗协助完成。第 4 章集成电路制造技术的主体部分,集成电路的基本工艺方法由段力、凌行、王家敏、陈秋龙、常程康撰写,其基本结构如图 3 所示,主要包括图形化工艺、光刻工艺(交大微纳电子学系 2015 届学生陈业睿,杨子健,范姜士杰,张博,蒋玮捷,马昊泽,吴齐天,李海泉,涂家铭,刘荣荣,何涛,肖奇,范以平,张超,沈林耀,朱俊彦,王文铮,余菁,陆叶王青,张灏,高舜涵,张毅佳,武亦文协助完成)。加法的薄膜淀积工艺、减法的刻蚀工艺、乘除法的

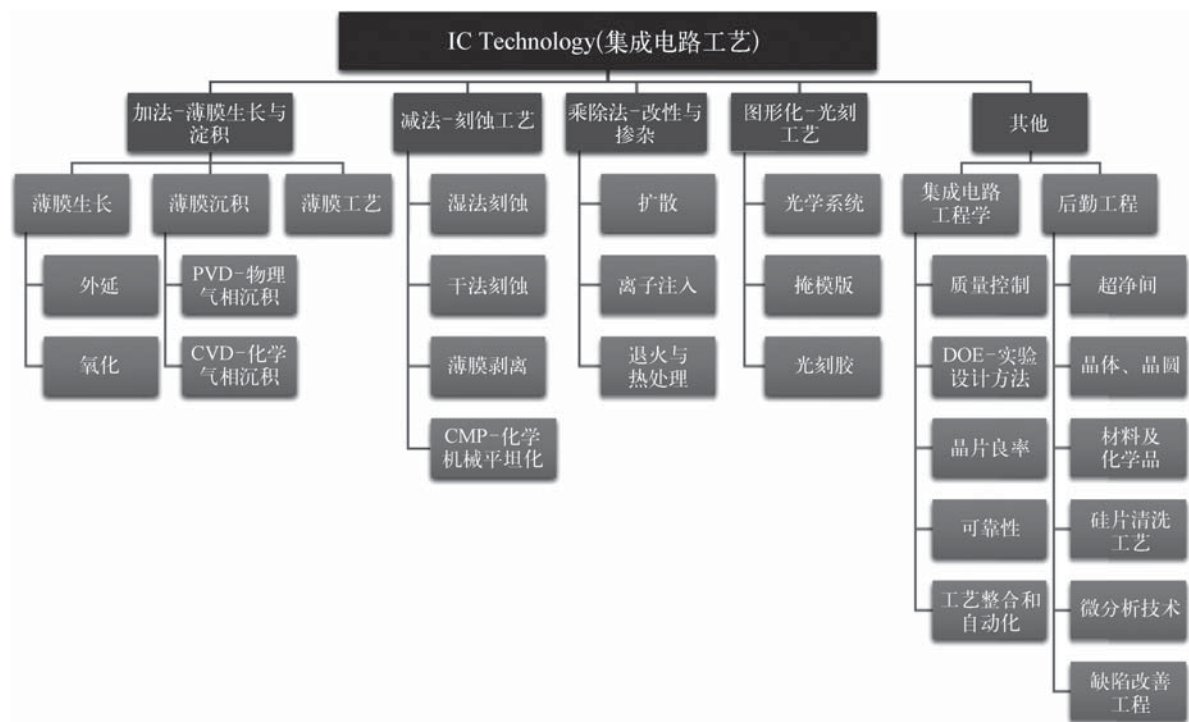


图 3 集成电路制造工艺的内容和结构

材料改性工艺,如掺杂、离子注入等。

第5章集成电路工程学由段力撰写,第6章集成电路后勤工程由段力、常程康、惠春、韦红雨撰写,交大微纳电子学系F14届学生陈业睿,杨子健,范姜士杰,张博,蒋玮捷,马昊泽,吴齐天,李海泉,涂家铭,刘荣荣,何涛,肖奇,范以平,张超,沈林耀,朱俊彦,王文铮,余菁,陆叶王青,张灏,高舜涵,张毅佳,武亦文协助完成。各章可独立成文,也可全书连成一体;既有基本原理的阐述,也有国、内外近期发展情况。本书可作为高等院校微电子学和半导体专业本科生的教材,也可供有关专业的本科生、研究生以及工程技术人员阅读参考。书中存在的错误和不当之处,敬请读者们批评指正。

目 录

第一篇 集成电路及其设计与制造

第 1 章	微电子改变了人们的生活	3
1.1	集成电路的简要历史	3
1.2	集成电路改变人们生活	5
1.2.1	交通	5
1.2.2	通信	7
1.2.3	医疗保健	9
1.2.4	经济	11
1.2.5	教育、体育、娱乐等其他方面	12
1.3	集成电路对生活的改变-未来展望	14
第 2 章	集成电路近卅年的发展	16
2.1	半导体与集成电路的产生及早期的发展	16
2.2	摩尔定律	18
2.2.1	摩尔定律的由来	18
2.2.2	摩尔定律的具体内容	19
2.2.3	等比例缩小定律	20
2.2.4	摩尔定律的影响	21
2.2.5	摩尔定律的未来	21
2.3	集成电路发展史的几个重要节点	22
2.3.1	硅与二氧化硅	22
2.3.2	CMOS 电路	24
2.3.3	low- <i>k</i> 材料、铜互连和 Salicide	26
2.3.4	HKMG	32
2.3.5	FinFET	34
2.4	集成电路产业,集成电路职场	35

集成电路制造技术

2.4.1 现在集成电路制造公司的发展状况 36

2.4.2 集成电路的产业,集成电路的工作,集成电路的衍生企业 38

第3章 集成电路的设计与制造技术 集成电路基本原理 43

3.1 集成电路的设计与制造之间的关系及桥梁 43

3.1.1 集成电路的设计和集成电路制造的关系 43

3.1.2 集成电路的设计和集成电路制造的桥梁 43

3.2 集成电路的设计、仿真、检验 45

3.2.1 设计 45

3.2.2 EDA 46

3.2.3 仿真验证 47

3.3 半导体器件基本原理 51

3.3.1 MOSFET 51

3.3.2 器件缩小原理 58

3.3.3 其他半导体及传感器器件 60

3.4 集成电路基本原理 65

3.4.1 集成电路纵向工艺和横向工艺 65

3.4.2 集成电路的前段工艺与后端工艺 67

第二篇 集成电路的基本工艺方法

第4章 图形化:光刻工艺 73

4.1 光学系统 75

4.1.1 曝光分辨率 75

4.1.2 曝光方式 76

4.1.3 光源系统 77

4.1.4 浸液式光刻技术 78

4.2 掩模版技术 79

4.2.1 掩模板制作介绍 80

4.2.2 光学临近效应的修正(OPC, Optical Proximity Correction) 81

4.2.3 移相掩模技术(PSM, Phase Shift Mask) 82

4.2.4 双重图形光刻(DPL, Double Patterning Lithography) 82

4.2.5 离轴照明(OAI, Off-Axis Illumination) 84

4.3 光刻胶 84

4.3.1 正胶与负胶 85

4.3.2 光刻胶的组成 85

4.3.3 光刻胶的主要性能指标 86

4.4	光刻技术	87
4.4.1	气体硅片表面预处理	87
4.4.2	旋涂光刻胶,抗反射层	87
4.4.3	曝光前烘焙	89
4.4.4	对准和曝光	89
4.4.5	曝光后烘焙	89
4.4.6	显影	89
4.4.7	显影后烘焙,坚膜烘蜡	90
4.4.8	测量	90
4.5	光刻缺陷	90
4.6	深紫外光刻工艺技术(EUV)	92
第5章	集成电路工艺的“加法”:薄膜生长与淀积	94
5.1	薄膜生长技术	96
5.1.1	薄膜氧化技术	97
5.1.2	薄膜外延技术	106
5.2	薄膜沉积技术(Thin Film Deposition)	110
5.2.1	薄膜淀积	110
5.2.2	CVD(Chemical Vapor Peosition)化学气相淀积	113
5.2.3	TCVD(Thermal CVD)热化学气相沉积	116
5.2.4	LPCVD(Low Pressure CVD)低压化学气相沉积	118
5.2.5	PECVD(Plasma Enhanced CVD)等离子增强化学气相沉积技术	119
5.2.6	MOCVD(Metal-Organic CVD)金属有机化学气相沉积	121
5.2.7	ALD(Atomic Layer Deposition)原子层沉积技术	126
5.2.8	LCVD(Laser CVD)激光化学气相沉积技术	127
5.2.9	PVD(Physical Vapor Deposition)物理气相沉积	128
5.2.10	电子束物理气相沉积(EBPVD)	136
5.2.11	脉冲激光沉淀法 PLD(Pulsed Laser Deposition)	140
5.2.12	溅射镀膜方法(Sputtering)	142
5.2.13	磁控溅射淀积 MSD(Magnetron Sputtering Deposition)	146
5.2.14	离子束溅射 IBD、离子束辅助溅射 IBAD	147
5.3	薄膜的表征	150
5.3.1	薄膜厚度	151
5.3.2	成分分析和形态表征	153
5.3.3	薄膜应力分析(要补充)	156
5.3.4	薄膜热导率的测量	156
5.4	集成电路常用薄膜	159



5.4.1	外延层	160
5.4.2	SOI 层	160
5.4.3	GaAs 和 Ge 有源衬底层	162
5.4.4	离子注入层	163
5.4.5	栅层工艺	168
5.4.6	金属连线层	174
5.4.7	金属互连层	192
5.4.8	介质绝缘薄膜层	208
第 6 章	集成电路工艺的减法薄膜的刻蚀	216
6.1	湿法刻蚀	219
6.1.1	SiO ₂ 层的刻蚀	220
6.1.2	单晶/多晶硅层刻蚀	221
6.1.3	Si ₃ N ₄ 层的刻蚀	221
6.1.4	Al 层的刻蚀	222
6.2	干法刻蚀	222
6.2.1	刻蚀设备	225
6.2.2	刻蚀时间的掌握、终点探测	229
6.2.3	等离子体导致的表面损伤	231
6.2.4	半导体工艺中常用材料的干法刻蚀	232
6.2.5	感应耦合等离子体(ICP)刻蚀技术	238
6.3	剥离技术(Lift-off)	240
6.4	CMP 技术	242
6.4.1	研磨剂	246
6.4.2	研磨垫	248
6.4.3	CMP 后清洗	249
6.4.4	CMP 关键技术展望及分析	250
第 7 章	改性与掺杂	251
7.1	扩散	251
7.1.1	扩散工艺	251
7.1.2	多晶硅中的杂质扩散	255
7.1.3	扩散的设备	256
7.1.4	与扩散有关的参数测量	256
7.2	离子注入	258
7.2.1	离子注入基本原理	258
7.2.2	离子注入设备	266

7.2.3	离子注入层特性的测量和分析	272
7.3	退火与热处理工艺	273
7.3.1	退火与快速加热工艺综述	273
7.3.2	辐射损伤	274
7.3.3	退火	275
7.3.4	快速加热工艺	277
7.3.5	快速升温系统介绍	289

第8章	集成电路工程学	295
8.1	集成电路质量控制的工程学方法: 6σ 原理, Cpk, 统计质量控制(SQC)	296
8.2	实验设计方法(DOE)	298
8.3	晶片的良率(Yield)	299
8.3.1	良率的定义	300
8.3.2	良率的测量方法	301
8.3.3	晶片的电学测量(ET)	301
8.3.4	良率的测量	305
8.3.5	提高良率的方法	306
8.4	可靠性	307
8.4.1	可靠性的重要意义	308
8.4.2	可靠性的测量与评估	309
8.5	生产集成与自动化, 计算机集成制造	316
8.5.1	半导体生产集成的设备装置	317
8.5.2	计算机集成生产管理	318
8.5.3	半导体晶片厂生产计算机信息集成制造的实践	320
8.5.4	信息管理系统/自动化设备的计算机网络结构	321
8.6	设备通信及装置自动化	326
8.6.1	SECS/GEM/HSMS 接口	327
8.6.2	搬运自动化	329
8.6.3	顶蓬式高速台车(LIM Carrier)	330
8.7	半导体计算机集成公司(Fabless)与半导体制造厂商(Foundry)合作状况, 集成电路顾问公司(IC Consulting)的支援	334
8.7.1	半导体设备厂商的支持	335
8.7.2	半导体厂商对半导体设备制造商的自动化的期待与展望	335

第 9 章	集成电路的后勤工程	339
9.1	SOI	339
9.1.1		339
9.1.2		340
9.1.3	、	347
9.1.4	SOI	351
9.1.5		354
9.2		357
9.2.1		358
9.2.2		359
9.2.3		360
viii.		364
9.2.3		366
9.2.4	CVD	366
9.2.5		370
9.3		377
9.3.1		377
9.3.2		379
9.3.3		388
9.3.4		391
9.3.5		393
9.3.6		410
9.3.7	、	415
9.4	FA	417
9.4.1		417
9.4.2	：、,FA	418
9.4.3		418
i.	FA, Failure Analysis	436
9.5		445
9.5.1		448
9.5.2		448
9.5.3		449
9.6		449
9.6.1	：	452
9.6.2		453

第 一 篇

集成电路及其设计与制造



第 1 章 微电子改变了人们的生活

我们正处在有史以来最能改变人类生活的技术革命漩涡的中心。70 年在人类历史上只是一瞬间。在最近这 70 年中一个技术发现引发了百舸争流,随之产生了遍布全球的一系列变革,带给人类前所未有冲击。这些变革在全球范围内,持续加速改变着人类的生存方式;这一重大的发现就是我们所说的集成电路。虽然集成电路已然成为大家耳熟能详的词汇,但它究竟指的什么?为什么会有改变世界的力量,本书接下来的内容,将会为大家一一讲解。

1.1 集成电路的简要历史

如果要举出 20 世纪最伟大的发明及其价值,很少有人会想到集成电路。因为我们往往会说出一些仰赖集成电路运作的装置(如计算机、手机、飞机等),却很少想到在 1958 年首度以晶体管组成的集成电路电路。其实从许多角度来说这是情有可原,毕竟现今的集成电路本身非常迷你——或用现代精准的术语来说,属于奈米规格,执行的又是看不到的功能,自然不太引人注目,然而所有现代电子产品都通过这些电路运转,从个人计算机、智能型手机到电视,无不仰赖它来执行各种关键程序。

第一块集成电路板如图 1-1 所示。

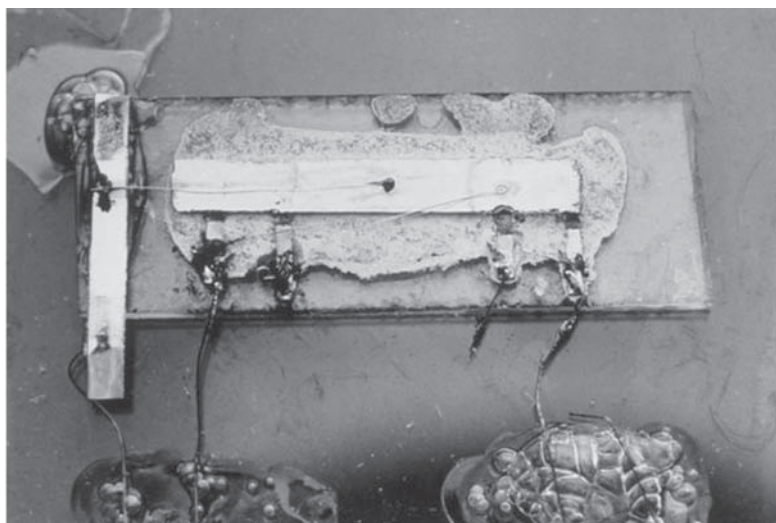


图 1-1 第一块集成电路

集成电路的发展进程如图 1-2 所示。

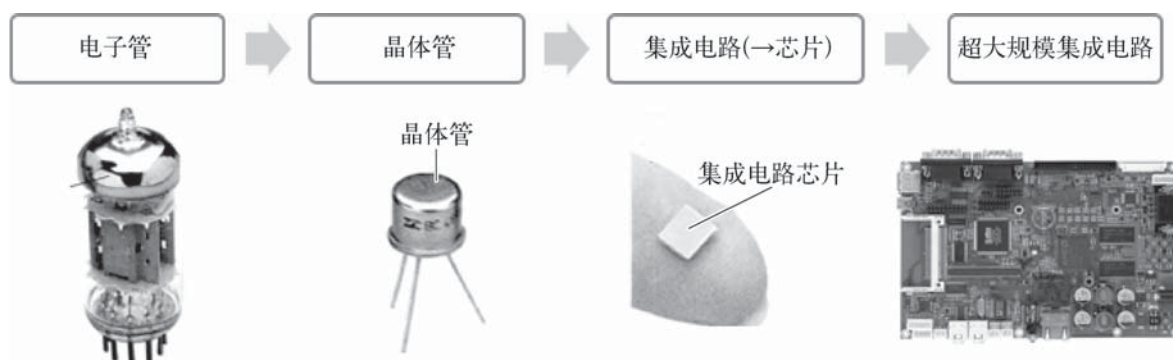


图 1-2 集成电路发展进程

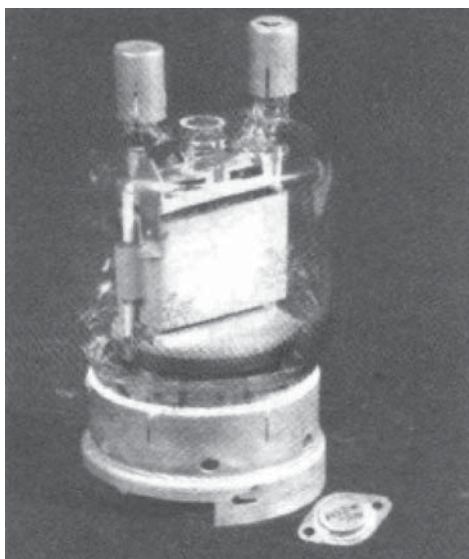


图 1-3 大功率真空晶体管

从第一只晶体管的发明就预示着晶体管在不远的将来会取代当时还处于鼎盛时期的电子器件——真空电子管,将两者放在一起,尺寸上产生强烈的差别(见图 1-3)大功率真空电子管是一只硕大、由玻璃壳封装的,但与其电学参数十分接近的一只大功率晶体管却只在右下角。

在现代集成电路制造工艺原理课程中,半导体硅材料始终是主角。硅在地球上的蕴藏量是极为丰富的。由自然界采集来富含硅成分的化合物,经过提纯而得到高纯度的多晶硅。以高纯多晶硅为原料,经加工、掺杂得到符合集成电路制造要求的单晶硅硅棒。再将单晶硅棒按特定的晶体取向要求切割成薄片。这就是我们通常所说的硅片。

一个芯片的制造流程(见图 1-4)就是在此基底
下,再经过光刻(俗称流片,即先设计好电路图,通过激光暴光,刻到晶圆的电路单元上)→切割成管芯(裸芯片)→封装(也就是把管芯的电路管脚,用导线接到外部接头,以便与其他器件连接)制造而成。

但集成电路具体是什么呢? 集成电路就是在—块半导体板上,由数种金属和半导体组件组合而成,其中包含许多极微小的主动组件和被动组件组成。主动组件包括晶体管和二极管;被动组件则包括电容器和电阻器。电阻器用来提供适当的电阻值,电容器则表现像电池般可以存储和放出电荷,而晶体管有两种作用,一种是作为开关器,另一种是作为放大器为电路提供较大的输出电流。上述集成电路制成的处理器就是常见的芯片,大小通常从数公厘到数公分(例如中央处理器)。

随着晶体管尺寸的进一步缩小和集成电路集成度的不断增加,势必使集成电路变得更加便宜,功能更强,模块化程度更高,同时电路的可靠性也不断提高,新的控制技术的采用使得生产成本降低,从而导致了产品的价格不断下降,使集成电路的应用领域也不断扩大。透

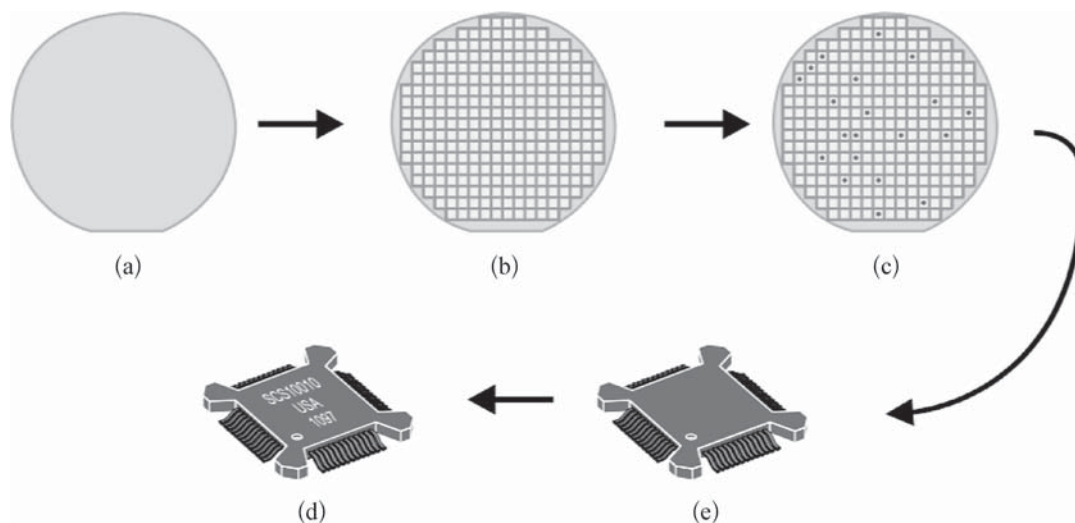


图 1-4 芯片制造流程

a. Starting substrate-silicon wafer (purchased). b. Wafer fabrication-fabricate IC's on the wafer c. Wafer sort/test-test each IC, mark bad IC's d. Packaging-assemble IC's into packages e. Mark & class/final test-mark and final test packaged product

过多种芯片结合在一起,就能制造出许许多多改变我们生活的各式电子产品。可以说现今我们的日常生活,与集成电路之间的关系密不可分。

1.2 集成电路改变人们生活

在了解集成电路的基本制作过程之后,相信大家对于什么是集成电路有了基本的了解。但是,对于它为什么有这么大的作用,它是从哪些方面对我们的生活产生影响的,大家或许还心存疑惑。接下来本文将从交通、通信、医疗保健、经济、教育、体育、娱乐等其他方面详细阐述集成电路对我们日常生活产生的影响。

1.2.1 交通

集成电路的发展大大的影响了我们生活中大大小小的方面。最直接的就是芯片,面积越来越小,功能却越来越强的芯片使得我们生活中的交通工具越来越多,给每一个人的生活都带来了极大的方便。陆地上的汽车,海洋里的轮船,天空中的飞机,大大缩短了人们交往的距离,为我们的生活提供方便;火箭和宇宙飞船的发明,使人类探索另一个星球的理想成为了现实。也许在不远的将来,我们可以到太空中去旅行观光,我们的孩子可以到另一个星球去观察学习。以人力、畜力和风力作为动力的交通工具占据了人类历史的绝大部分时间。直至 1769 年詹姆斯·瓦特发明蒸汽机,人类交通工具的发展才进入飞速发展阶段,短短数百年,人类不仅能上天(飞机、航天飞机、火箭),而且能入海(潜艇),技术也日新月异。

从蒸汽阶段经历内燃阶段到电气阶段再到现在的自动化阶段,集成电路的发展起了决定性的作用。尤其是大型飞机制造属于高新技术,现在基本垄断在发达国家手中。问题的

关键就在于制造飞机的芯片,可见集成电路决定了高新的交通工具,其先进的程度更直接代表了一个国家的国力。同样的,航天航空中的芯片更是核心技术,中国于1970年4月24日成功地发射了第一颗人造地球卫星。这标志着中国已全面掌握运载火箭技术,卫星通信由试验阶段进入实用阶段。1988年9月7日,中国用“长征4号”运载火箭成功发射一颗试验性气象卫星“风云一号”。这是中国自行研制和发射的第一颗极地轨道气象卫星。1990年4月,中国自行研制的“长征三号”运载火箭把亚洲一号通信卫星送入预定轨道,首次成功为国外用户发射卫星。1999年11月20日6时30分,神舟一号飞船在酒泉卫星发射基地顺利升空,经过21小时的飞行后顺利返回地面。所有这些都是集成电路的发展的成果。图1-5为神州十号飞船。

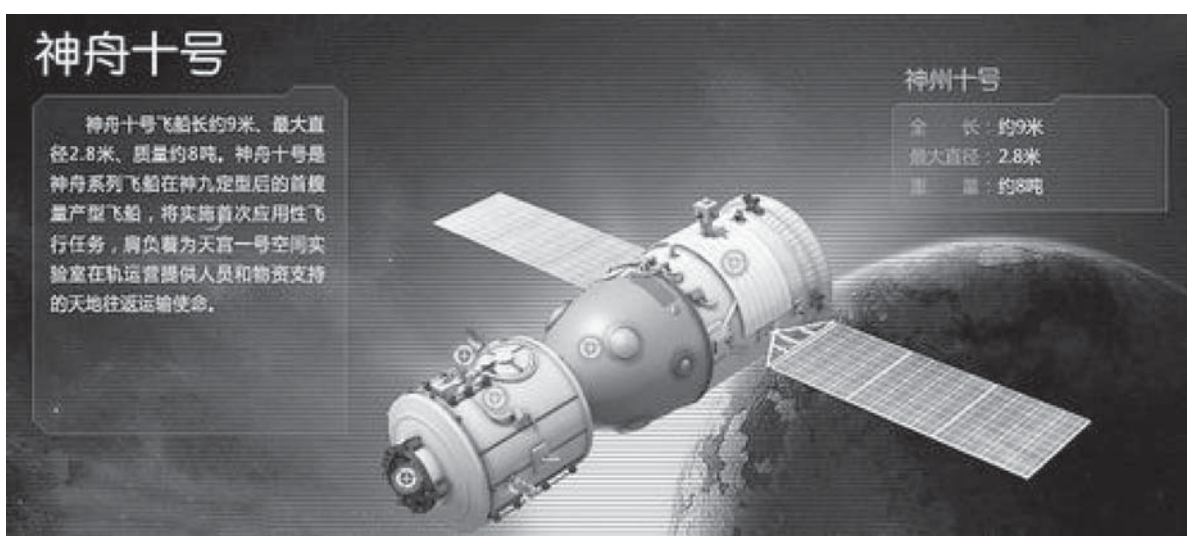


图 1-5 神州十号飞船

再来说说我们生活中的交通,每个十字路口都存在交通信号灯,它红黄绿的变化就是由集成电路来控制的。我们现在的出行大多都是刷交通卡的,这样方便而又快捷,而其要正常工作里面那块小小的芯片必不可缺。有时候我们开车出行去到不熟悉的地方,就要依赖GPS导航,其工作原理是由地面主控站收集各监测站的观测资料和气象信息,计算各卫星的星历表及卫星钟改正数,按规定的格式编辑导航电文,通过地面上的注入站向GPS卫星注入这些信息。测量定位时,用户可以利用接收机的储存星历得到各个卫星的粗略位置。根据这些数据和自身位置,由计算机选择卫星与用户连线之间张角较大的四颗卫星作为观测对象。观测时,接收机利用码发生器生成的信息与卫星接收的信号进行相关处理,并根据导航电文的时间标和子帧计数测量用户和卫星之间的伪距。将修正后的伪距及输入的初始数据及四颗卫星的观测值列出3个观测方程式,即可解出接收机的位置,并转换所需要的坐标系,以达到定位目的。GPS定位系统又称GPRS(见图1-6),简单来说GPS定位系统是靠你的车载终端内置一张手机卡,通过手机信号传输到后台来实现定位,GPS终端就是这个后台,可以帮你实现一键导航、后台服务等各种人性服务。这自然也是集成电路带来的福音。

交通工具在不断发展创新,交通安全自然也不可忽视。在开车上高架之后,有一块电子版用红黄绿三种颜色来告诉我们哪里比较拥堵,哪里十分通畅。在很多路口都有电子警察代替交警,来监察是否有违规违章的车辆,并拍下照片。在发生交通事故以后,也有及时的信息交互网络使得警察可以第一时间来到事故现场处理。所有这些都离不开集成电路。

一个现代化的喷气式客机有大量的电子控制器件和成百上千台机载计算机,更不用说基于卫星的全球定位系统能指引飞机飞行 95% 的航程。在起飞和降落期间空姐为什么要坚持必须关闭所有的电子设备? 她们担心,你的小工具(电子式漏电)传输的误导信号可能会无意中干扰飞机的航空仪器! 总之,没有晶体管,也就没有全球性的交通网络。可见集成电路的发展大大改变了我们的交通,改变了我们的生活。



图 1-6 车载 GPS 定位系统

1.2.2 通信

人类进行通信的历史已很悠久。早在远古时期,人们就通过简单的语言、壁画等方式交换信息。千百年来,人们一直在用语言、图符、钟鼓、烟火、竹筒、纸书等传递信息。古代人的烽火狼烟、飞鸽传信、驿马邮递就是通信方式例子。现在还有一些国家的个别原始部落,仍然保留着诸如击鼓鸣号这样古老的通信方式。在现代社会中,交通警察的指挥手语、航海中的旗语等不过是古老通信方式进一步发展的结果。这些信息传递的基本方法都是依靠人的视觉与听觉。

19 世纪中叶以后,随着电报、电话的发明,电磁波的发现,人类通信领域产生了根本性的巨大变革,实现了利用金属导线来传递信息,甚至通过电磁波来进行无线通信,使神话中的“顺风耳”、“千里眼”变成了现实。

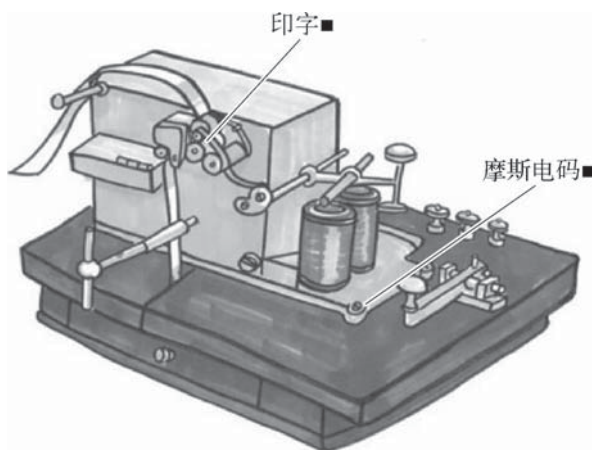


图 1-7 莫尔斯电报机

从此,人类的信息传递可以脱离常规的视听觉方式,用电信号作为新的载体,同此带来了一系列技术革新,开始了人类通信的新时代。

1837 年,美国人塞缪尔·莫尔斯(Samuel Morse)成功地研制出世界上第一台电磁式电报机(见图 1-7)。他利用自己设计的电码,可将信息转换成一串或长或短的电脉冲传向目的地,再转换为原来的信息。1844 年 5 月 24 日,莫尔斯在

第3章 集成电路的设计与制造技术

集成电路基本原理

3.1 集成电路的设计与制造之间的关系及桥梁

3.1.1 集成电路的设计和集成电路制造的关系

随着集成电路相关技术的不断细分和相关领域的不断发展,集成电路从设想到成品也逐渐分化成设计、制造、封装和测试这四个阶段。这四个阶段也恰好呼应了集成电路产业结构的几个主要部分:设计业、制造业、封装和测试业。

无论是集成电路的设计工程师还是制造工程师,都应当起码熟悉设计和制造两大方面。这两大方面直接影响到了最后成品是否能够正常运行、运行速度和功耗等实际问题。而设计和制造,并不是绝对的两部分,而是相互呼应,不可分割的。

设计是按照对产品的功能、规模、性能要求,提出对应方案的过程。一般首先会按照芯片的使用特性和背景初步确定方案,然后需要判断现有的制造水平能否满足要求。这个涉及到了现有制造业反馈给设计方的工艺器件生产水平、设备性能和生产线、生产能力等方面。如果芯片设计提出的要求能够被现有制造技术实现,那么设计方就会根据现有的工艺设计约束条件完成设计;但如果不能的话,那就需要由制造商开发更为精细的工艺或器件制造水平,或者升级生产线,提升生产能力。

由上述可知,制造商工艺和设备的进步,其推动力来自于设计方对制造水平提出的更高要求;而设计方思路可行性的根本,来源于制造商提供的制造能力的支持。如果在设计中一味追求性能而忽略了制造商给出的限制,那么就仿佛是空中楼阁脱离了实际;而如果制造商放弃了面向设计的改进升级,就失去了前进方向,将被这个行业所淘汰。

3.1.2 集成电路的设计和集成电路制造的桥梁

集成电路的设计决定了内容,而制造则具体负责实现。他们之间的桥梁就是计算机的

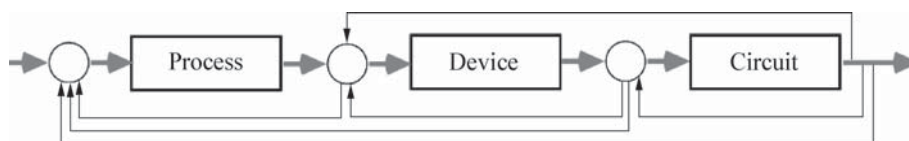
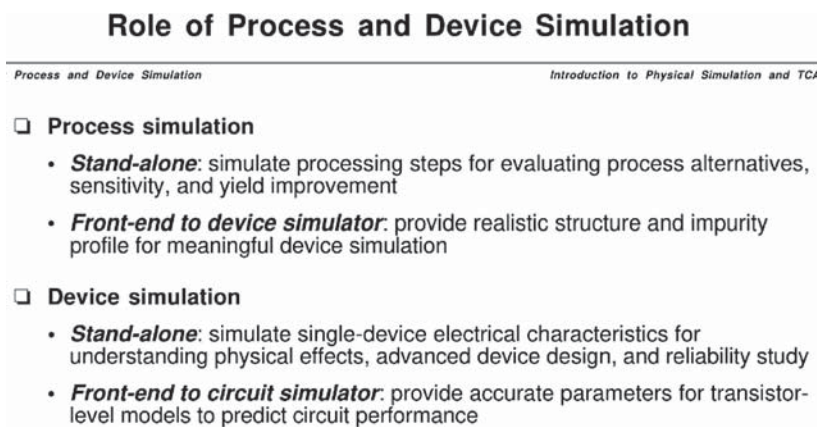


图 3-1 计算机仿真技术三个层次

仿真技术。仿真技术有下列三个层次(见图 3-1)。

工艺仿真和器件仿真有如下内容：



对于过程验证来说,可以通过它单独判断电路的敏感程度等。它对于后面的器件仿真则提供了一个真实的仿真结构,而器件仿真也会提供更精确的数据以供电路仿真使用。图 3-2 为仿真验证循环的过程。

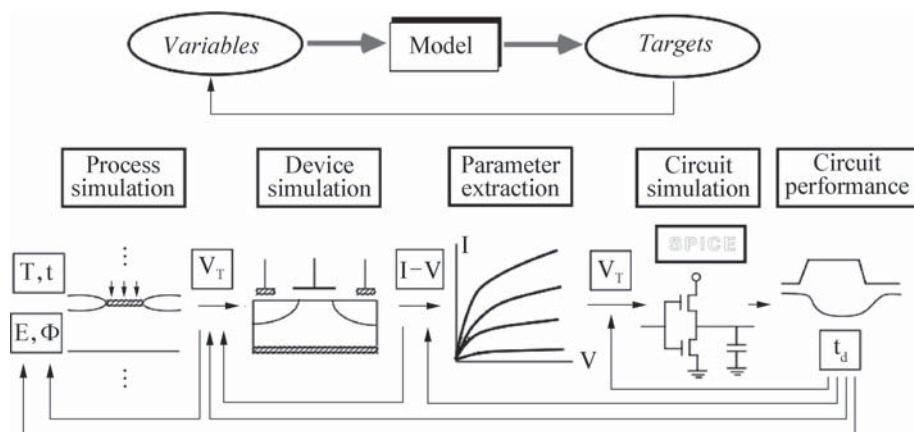


图 3-2 仿真验证循环过程

好的集成电路的设计会给集成电路的制造带来极大的便利以及利润,而集成电路制造业的兴起也会反过来带动集成电路技术的发展。

在设计芯片之前,要判断现有的工艺是否可以满足设计需求,如果判断现有的工艺能够满足设计要求,就基于该工艺设计规则的约束完成设计;如果判断现有的工艺不能体现设计的最优化结果,则需要开发新一代或者更加精细的工艺和器件制造技术。目前主流的制造工艺有:单片集成电路工艺和薄膜集成电路工艺。

单片集成电路工艺是利用研磨、抛光、氧化、扩散、光刻、外延生长、蒸发等一整套平面工艺技术,在一小块硅单晶片上同时制造晶体管、二极管、电阻和电容等元件,并且采用一定的隔离技术使各元件在电性能上互相隔离。然后在硅片表面蒸发铝层并用光刻技术刻蚀成互连图形,使元件按需要互连成完整电路,制成半导体单片集成电路。随着单片集成电路从小、中规模发展到大规模、超大规模集成电路,平面工艺技术也随之得到发展。例如,扩散掺

第 二 篇

集成电路的基本工艺方法

第4章 图形化：光刻工艺

本章主要叙述光刻工艺(见图 4-1),掩膜版技术(见图 4-2)光刻胶和光刻技术(见图 4-3)

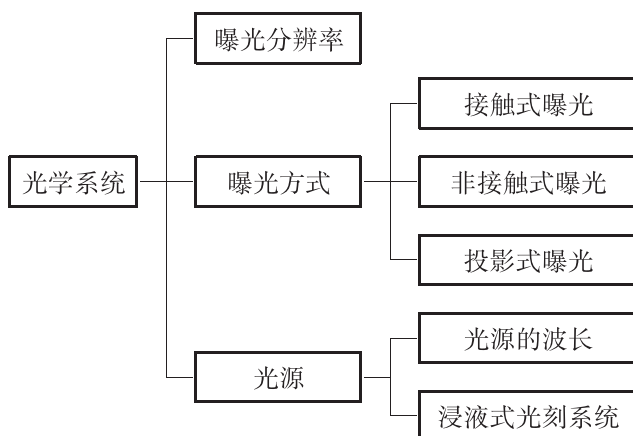


图 4-1 光刻工艺

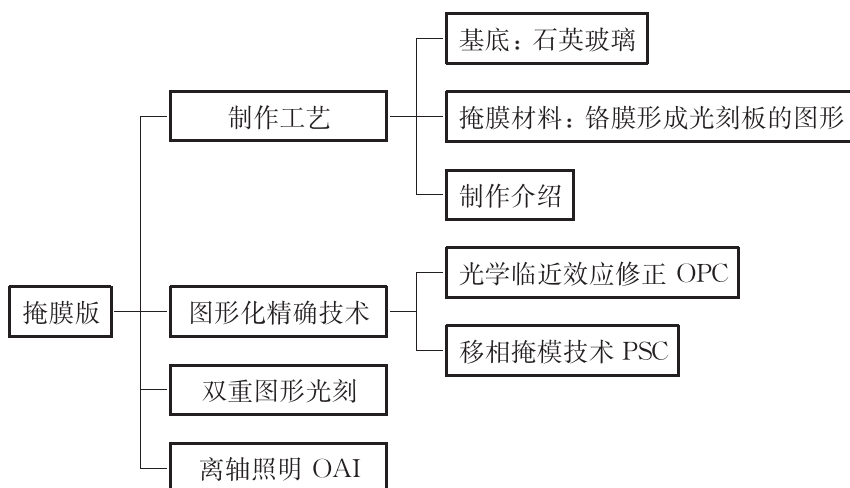


图 4-2 掩膜版

光刻工艺(Photolithography)是集成电路技术里使用最频繁和最关键的技术之一,光刻工艺成本也占据了半导体工艺生产线 70%左右的支出。随着芯片集成度的不断提高,晶体管的器件特征尺寸也随之缩小。而光刻技术作为集成电路制造环节中的关键模块,决定着制造工艺的先进程度。

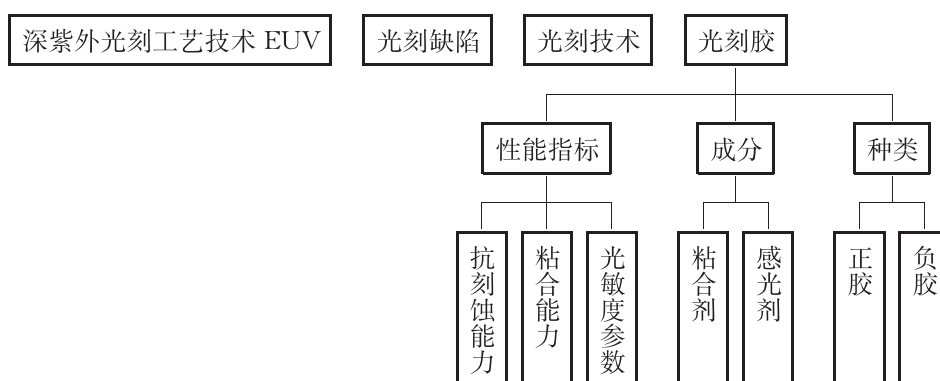


图 4-3 光刻胶和光刻技术

掩模板光刻工艺(Lithography)是把集成电路设计的图形从掩模板上通过光刻胶转移到硅基板上的过程。其转移过程必须遵循精确(关键尺寸大小忠于设计或工艺需求)与无偏差(和下层图形之间无偏差)的两大原则。随着集成电路由微米级向纳米级的发展,光刻技术的研究也在不断提速前进。

集成电路芯片制造使用的光刻工艺有点类似于传统的照相过程,包含了图形化、曝光和显影三个过程(见图 4-4)。

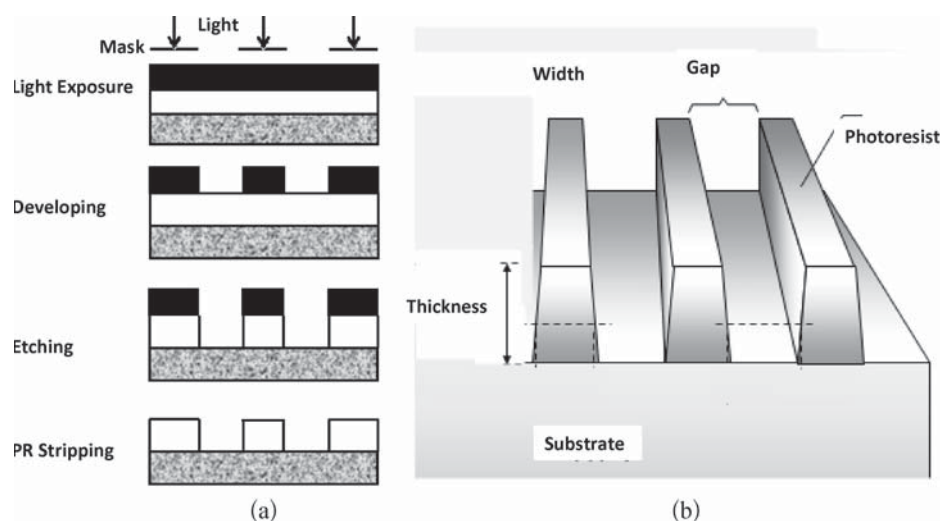


图 4-4 光刻工艺

(a) 光刻过程: 在薄膜淀积之后,在表面涂一层光刻胶(PR),然后光线(Light)透过光刻版(Mask)对硅片进行曝光(Light Exposure)、显影(Developing)、烘干,之后进行刻蚀(Etching),除去光刻胶之后,就在薄膜上得到了所需要的图案 (b) 光刻胶(PR, Photoresist)的三维形态,主要的参数有厚度(Thickness)、间距(Gap)、线条宽度(Width)。

首先是要制作带有图形的可复制的掩膜版,然后,利用高精度光学系统透过掩膜版对衬底表面的光刻胶进行选择性的曝光,从而将掩膜版上的图形转移到衬底表面的光刻胶上。掩膜版的基底多为高纯度的石英玻璃,构成掩膜的材料多为铬。曝光方式有接触式、接近式和投影式,投影式曝光是目前最常用的方式。曝光完成后,对曝光后的硅片进行显影处理。显影就是把曝过光后的光刻胶用显影液腐蚀掉,在显影之后,光刻板上的图形就“复印”到了硅

片上。之后,对带有显影图形的硅片进行相应的工艺操作,比如进行湿法或干法刻蚀、离子注入等工艺。最后将残留在硅片上的光刻胶除去并进行硅片清洗,然后进入到下一步工序。

在光刻技术的研究和开发中,表征光刻水平或集成电路更新换代的指数就是光刻特征尺寸。我们常说的 90 nm 制程、45 nm 制程指的就是这个特征尺寸。特征尺寸通常是指集成电路中半导体器件的最小尺度,如 MOS 晶体管的栅极线宽,或第一层金属连线的最小线宽。30 年来,集成电路的工程师们一直致力于减小这个特征尺寸。特征尺寸是衡量集成电路制造和设计水平的重要尺度,代表了光刻工艺可以曝光显影的最小线宽,这个线宽越小,可以制作的器件就越小,集成度就越高,集成功能就越强大,芯片的成本就越低(见图 4-5)。早在 20 世纪 80 年代,计算机进入千家万户还是一个很贵的“梦”,但是到了 2010 以后,全世界很多家庭都可以拥有自己的电脑,这个价格的巨变很大程度上归功于集成电路集成度的巨大提高(从 $2\ \mu\text{m}$ → $0.045\ \mu\text{m}$)带来的巨大的成本降低。

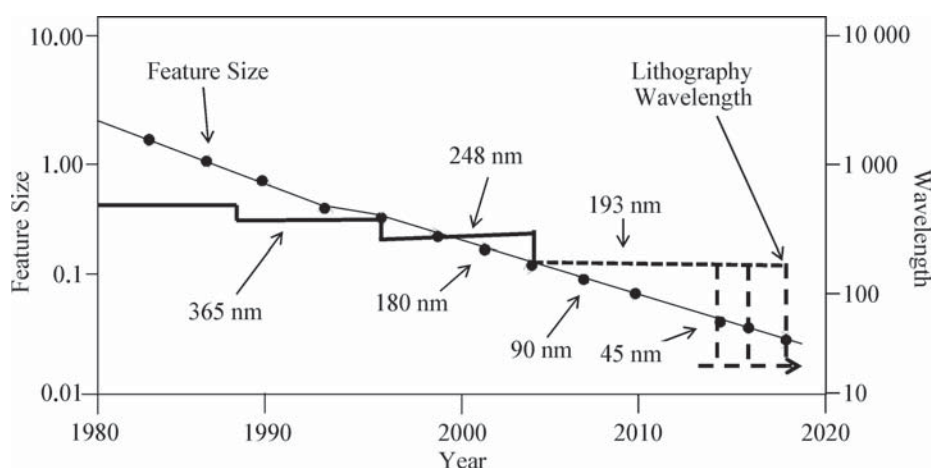


图 4-5 集成电路特征尺寸 (Feature Size) 近 30 年的发展及光刻波长 (Lithography Wavelength) 与特征尺寸的相关性

光刻工艺有三个主要部分：光学系统，掩膜版技术，光刻胶，以下予以详细介绍。

4.1 光学系统

光学系统包含高精度的光学曝光系统和光源系统。前者要求极高的机械精度以保证精确的移动和对准,后者要求有极高的分辨率和高的曝光量产出(短曝光时间、大的曝光区域)。

4.1.1 曝光分辨率

光刻分辨率由系统的数值孔径和波长决定,当然还有和 k_1 因子相关的光刻分辨率增强方式有关。我们知道,光学系统的分辨率由著名的瑞利 (Rayleigh) 判据给出。当两个相同大小的点光源靠近到它们的中心到中心的距离等于每一个光源在光学仪器所成像的光强最大值到第一极小值的距离时,光学系统便不能够分辨出是两个还是一个光源。不过,即便是

符合瑞利判据,两个点光源之间区域的光强仍然比峰值低一些,有大约 20% 的对比度。对于线光源,当光源的宽度是无限小时,对于数值孔径为 NA ,照明光源的波长为 λ 的光学系统,在像平面的光强分布为

$$I(x) = I_0 \left[\frac{\sin\left(\frac{2NA\pi}{\lambda}x\right)}{\frac{2NAx}{\lambda}} \right]^2$$

即相对像的中央位置 $CZNA$,光强达到第一极小值点。 I_0 表示在像中心点的光强。由此可以认为,此光学系统能够分辨的最小距离为 $\lambda/(ZNA)$ 。如当波长为 193 nm, NA 为 1.35 (浸没式),光学系统的最小分辨距离为 71.5 nm。当然,对于光刻工艺,是否意味着我 116 纳米集成电路制造工艺们能够印制空间周期为 71.5 nm 的图形呢?回答是否定的。原因有两个:① 一个工艺需要一定的宽裕度和工艺指标才能够大规模生产;② 所有机器设备的商业化的制造精度以及机器性能的全面性,如此机器既能够印制在分辨率极限的密集线条,也能够印制孤立的图形,而且还必须最大限度地降低剩余像差对工艺的影响。对于 1.35 NA 的光刻机,阿斯麦(ASML)承诺最小能够生产的图形空间周期为 76 nm,也就是等间距的 38 nm 密集线条。在光刻工艺当中,极限分辨率只具有参考价值,实际工作中,我们只谈在某一个空间周期、某一个线宽,具备多大工艺窗口、是否满足批量生产。

总之,特征尺寸或光刻分辨率表征为瑞利第一公式^[3]:

$$R = k_1 \frac{\lambda}{NA} \quad (1)$$

其中 k_1 是与光刻胶等光强响应特性有关的常数, NA 为镜头的数值孔径 $NA = n \cdot \sin(\theta)$, n 为折射率, θ 为接受角, λ 是曝光光源的波长。

4.1.2 曝光方式

常用的曝光方式有以下三种(见图 4-6):

1. 接触式曝光

掩模板直接与光刻胶层接触。曝光出来的图形与掩模板上的图形分辨率相当,设备简单,分辨率高。当然接触的越紧密,掩膜和材料的损伤就越大。所以接触式曝光的缺点是掩模板容易损坏,寿命很低(只能使用 5~25 次),这种方法已经逐渐被淘汰了。

2. 接近式曝光

掩模板与光刻胶基层保留一个微小的缝隙(0~200 μm),可以有效避免与光刻胶直接接触而引起的掩模板损伤,缺点是衍射效果造成的光刻分辨率太低($>10 \mu\text{m}$)。但接近式曝光可能适用于 X 光光刻,因为 X 射线的衍射、反射、折射及散射都很小,一般光学曝光中接近式曝光在晶圆圆片和掩模间的间隙,对光刻分辨率的影响对于 X 光光刻会小很多。

投影式曝光:投影式曝光又称为步进扫描投影曝光(Stepper),是目前集成电路光刻工艺生产采用的方式。投影曝光的方式是在掩模板与光刻胶之间使用光学系统对通过光刻板

第 5 章 集成电路工艺的“加法”： 薄膜生长与淀积

在一定的衬底上,用溅射、氧化、外延、蒸发、电镀等技术制成绝缘体、半导体、金属及合金等材料的薄膜,薄膜的厚度在纳米和微米之间,这种加工技术就是薄膜的淀积技术和薄膜生长技术。薄膜淀积是简单的厚度“加法”,薄膜的增长过程与基地或衬底没有相互作用,衬底材料的厚度没有改变或没有消耗;而薄膜生长技术则需要依托特定的衬底来完成,如硅的氧化过程是表面处氧化剂与 Si 原子起反应,生成新的 SiO_2 层,氧化膜是以消耗 Si 衬底原子的方式进行的。在集成电路的制造过程中用的比较多的是薄膜淀积技术。

而就薄膜的形成方法而言,薄膜制造有淀积法和生长法两大类。薄膜淀积方法包括化学方法 CVD (Chemical Vapor Deposition) 与物理气相沉积 PVD (Physical Vapor Deposition),薄膜的生长技术则有氧化(Oxidation)和外延(Epitaxy)生长两大类,包括分子束与原子束外延技术和分子自组装技术等。薄膜的淀积方法通常指薄膜的增长过程与基地或衬底没有相互作用,即在衬底材料上叠加一层或几层其他的材料,没有改变衬底材料的厚度及晶向状态;薄膜生长则需要依托特定的衬底来完成,主要有氧化和外延两种。氧化是在硅片表面处氧化剂与 Si 原子起反应,生成新的 SiO_2 层,使 SiO_2 膜不断增厚,同时 SiO_2 -Si 界面向 Si 内部推进。而外延技术则是在单晶衬底(基片)上生长一层与衬底晶向相同的单晶层,外延生长的新单晶层可在导电类型、电阻率等方面与衬底不同,从而大大提高器件设计

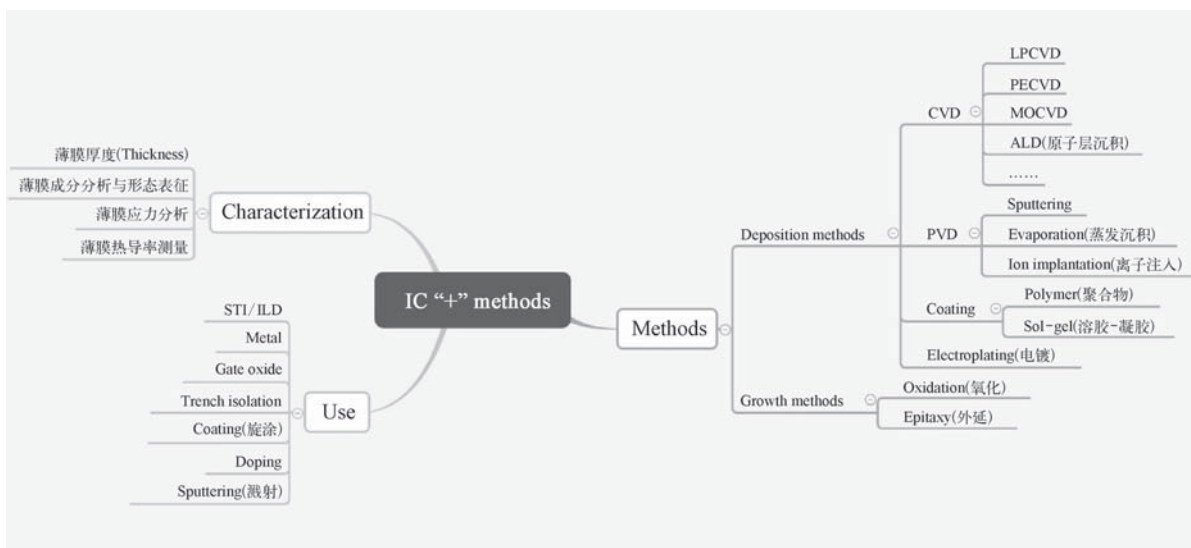


图 5-1 集成电路工业的加法

的灵活性和器件的性能。

就功能而言,集成电路常用的有三类薄膜:金属薄膜、半导体薄膜和绝缘薄膜,分别实现器件之间的互连、半导体器件的结构制作和器件之间相互隔离等功能。图5-2表示了集成电路结构的各类薄膜层。总体上讲,集成电路的薄膜层分为前段工艺(FEOL, Front End Of Line)和后端工艺(BEOL, Back End Of Line)。前端工艺 FEOL 用于制作各类有源及无源器件,如 MOSFET、电容、MEMS 传感器等等;后端工艺 BEOL 负责器件之间、模块之间、系统之间的金属连线系统。图中我们也看出各集成电路功能层的图形化过程,包含了光刻、薄膜淀积与覆盖、薄膜的刻蚀和钝化等。也就是说,半导体生产过程中的所形成的薄膜不只是普通意义的平面膜,而是包含了淀积过程中对非均匀平面的覆盖和其后的图形化刻蚀,是一个带有一定图案的 3D 曲面膜。例如,在制作铜金属互连的过程中,铜层的淀积包含了填充接触孔和铜连线金属的淀积过程,铜的互联金属线和与下层链接的连接孔是在同一层的

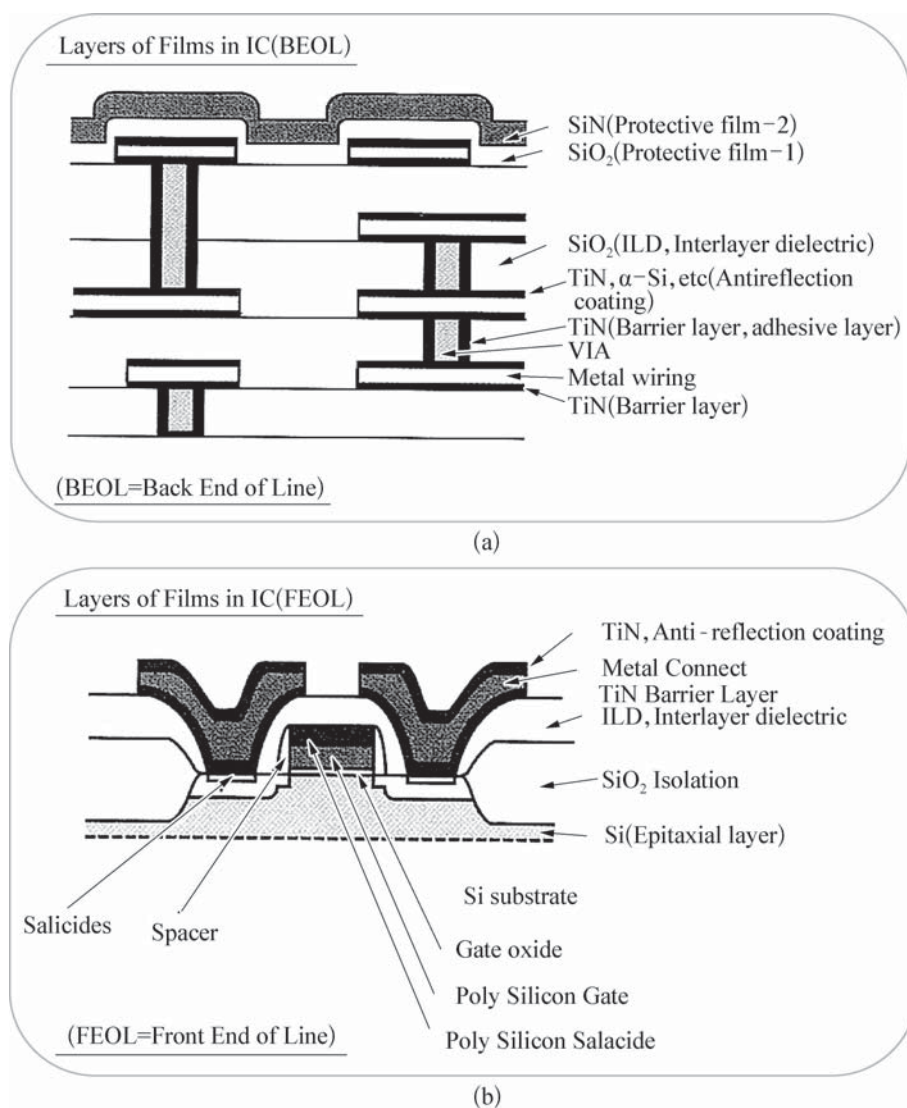


图5-2 集成电路工业常用薄膜层的种类

(a) BEOL, Back End Of Line (b) FEOL, Front End Of Line



淀积和覆盖过程中完成的。

图 5-3 示出了在集成电路的发展路程中和不同的发展阶段常用的各类半导体薄膜种类。从图中可以看出初期的集成电路技术以铝、二氧化硅和硅为三种主要材料,早期的主要研发力量集中在解决这三种材料本身及接触界面的质量和制造工艺,而实现有效与可靠的工业化的制造工艺。然后,20 世纪 80、90 年代引入多晶硅(Poly Si)和金属硅化物(Salicide),从而促成了以 CMOS 为基础的革命性的发展。CMOS 有静态功耗几乎为零便于集成和易于等比例缩小等优点,统领了 0.8 μm ~90 nm 好几代的 CMOS 集成电路发展阶段,是集成电路技术发展的主要和“黄金”阶段。21 世纪初期,用铜(Copper,Cu)作为互连金属和用低介电常数(Low K)作为隔离介质大大减低了后端连线过程引入的速度阻抗,从而大大的提高了集成电路和集成系统的综合速度,所以 Copper Low K 及其附加的界面缓冲层(TiN、TaN \cdots)成为 21 世纪初集成电路新材料的标志。到了 2010 年之后,薄膜技术有了长足的发展,尤其是 ALD(Atomic Layer Deposition)技术进入到集成电路的产业化链条,大大地提高了薄膜淀积的精确度和工程化能力。乘着更新的薄膜技术发展的“东风”,更多的新材料登上了集成电路制造的历史舞台,主要针对三种主要应用需求:高介电常数加金属栅极(High K Metal Gate),高迁移率衬底材料(如 GaAs 与 Ge)和 MEMS 器件与材料(来实现系统集成)。High K Metal Gate 主要解决硅工艺本身薄栅极本身的漏电带来的漏电功耗问题,高迁移率衬底为提高器件的速度“锦上添花”,而集成各类 MEMS 传感器与执行器系统则是多功能系统集成大方向的必然要求。

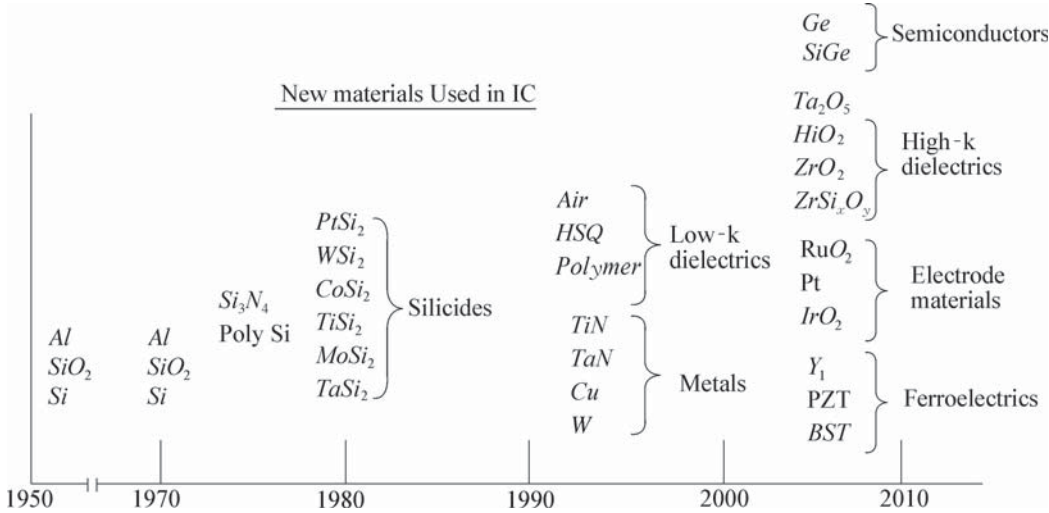


图 5-3 集成电路各个发展阶段对于各类主要薄膜材料开发要求

注: 集成电路各个发展阶段对于各类主要薄膜材料开发要求。主要经历了四个大的阶段: 传统的铝、氧化硅、硅系统(~1990 年前), poly Si CMOS 系统(~>1990), Cu Low K (~>2004 年), HKMG 系统(2010 年后)

5.1 薄膜生长技术

不同于薄膜淀积技术,薄膜生长技术所生成的薄膜需要依托特定的衬底来完成,主要有

氧化和外延两种。这两种技术在某种程度上都是衬底材料在指向表面方向的延伸,氧化是在硅片表面处氧化剂与 Si 原子起反应,生成新的 SiO_2 层,使 SiO_2 膜不断增厚,同时 SiO_2 -Si 界面向 Si 内部推进。而外延则是将硅材料本身从衬底表面沿相同晶向予以延伸,是在单晶衬底(基片)上生长一层与衬底晶向相同的单晶层,外延生长的新单晶层可在材料成分、导电类型、电阻率等方面与衬底不同,从而大大提高器件设计的灵活性和器件的性能。以下将对这两种工艺方法逐一加以介绍。

5.1.1 薄膜氧化技术

虽然构成集成电路的基本单元 MOSFET 早在 20 世纪 60 年代就已经被研发出来,但是,形成一个可靠的半导体集成电路系统是与半导体工艺的发展紧密联系的,其中最重要的一个节点就是在硅的表面上氧化成一层可靠的二氧化硅膜。众所周知, Si/SiO₂ 界面的缺陷和界面态控制是制作早期集成电路的关键点,20 世纪 60 年代以来,对硅/二氧化硅界面方面的应用基础研究一直是半导体学科中的一个重大课题,早期的 SiO₂ 层有太多的界面态而无法进入实际应用领域,直到 20 世纪 80 年代,硅的热氧化工艺才臻于成熟,成功和可靠的可控生长热氧化 SiO₂ 薄膜对推进 80 年代早期硅基集成电路的发展起了功不可没的作用,成功、可靠、可控的 SiO₂ 从而得到可靠的 MOSFET 器件特性是集成电路走向实用化的基础。加之人们发现硼、磷、砷、锑等杂质元素在 SiO₂ 中的扩散速度比在 Si 中的扩散速度慢得多, SiO₂ 膜可被用在器件生产中作为选择扩散的掩模,这两项促进了硅平面工艺的出现。在 Si 表面生长的 SiO₂ 膜不但能与 Si 有着很好的附着性,而且具有非常稳定的化学性质和电绝缘性质。SiO₂ 在集成电路中起着极其重要的作用,它的质量与制成的器件的特性参数、成品率及可靠性等方面关系极大。

在集成电路工艺中常用的制备氧化层的方法有:干氧化,水蒸气氧化和湿氧化;影响硅表面氧化速率的三个关键因素有:温度、氧化剂的有效性、硅层的表面势。

干氧化:高温下氧与硅反应生成 SiO₂ 的氧化方法;

水蒸气氧化:高温下水蒸气与硅发生反应的氧化方法;

湿氧化:氧化首先通过盛有约 95% 的去离子水的石英瓶,将水汽带入氧化炉内,再在高温下与硅反映的氧化方法。

本章主要介绍热生长氧化膜结构、性质、生长机理及生长动力学。

热生长氧化膜是无定形玻璃状结构。这种结构的基本单元是一个由 Si—O 原子组成的正四面体,如图 5-4 所示。硅原子位于正四面体的中心,氧原子位于四个角顶。

二氧化硅是一种十分理想的电绝缘材料。用高温氧化制备的二氧化硅的电阻率可高达 $10^{16} \Omega \cdot \text{cm}$ 以上,它的本征击穿电场强度约为 $10^6 \sim 10^7 \text{ V/cm}$ 。不同方法制备的二氧化硅的密度在 2.0~2.3 之间,折射

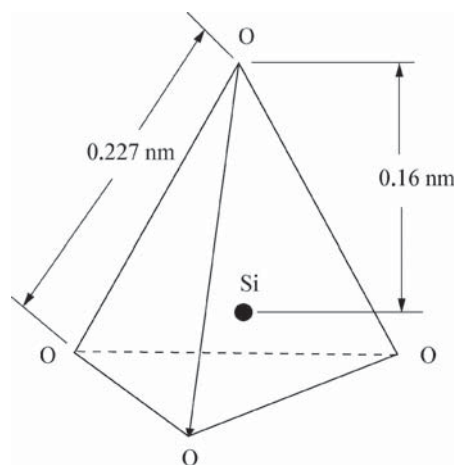


图 5-4 SiO₂ 的共价结构

第6章 集成电路工艺的「减法」 薄膜的刻蚀

薄膜的刻蚀是薄膜淀积的“反向动作”，如果薄膜淀积是“+”法，薄膜的刻蚀就是“-”法，相减的结果就是图形化了的各类集成电路薄膜(如栅层、Cu 互联层等)，而这些图形化了的各类功能薄膜就形成了各类器件、电路和我们的集成电路功能块儿。

刻蚀(Etching)工艺的传统定义是将光刻工艺后未被光刻胶覆盖或保护的部分以化学或物理的方法去除，从而完成将掩模上的图形转移到薄膜上的目的(图 6-1)。在集成电路的制造过程中，常常需要在晶片上做出微纳米尺寸的图形，而这些微细图形最主要的形成方式，是使用刻蚀技术将光刻(lithography)技术所产生的光刻胶图形，包括线、面和孔洞，准确无误地转印到光刻胶底下的材质上。

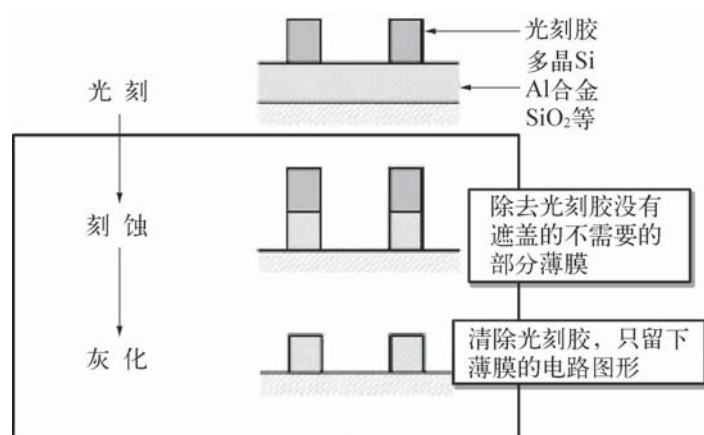


图 6-1 刻蚀过程

刻蚀工艺的广义定位是硅片表面和截面的图形化。广义而言，刻蚀技术包含了所有将材质表面均匀移除或是有选择性的部分去除的技术，而重点是要在硅片表面形成所需要的由各种(薄膜)材料组成的图案。刻蚀工艺可大体分为湿法刻蚀(Wet Etching)，干法刻蚀(Dry Etching)，剥离技术(Lift-off)与CMP(Chemical Mechanical Polishing)技术。湿法刻蚀是利用化学反应，如酸与材料的反应，来进行薄膜的刻蚀；干法刻蚀是利用物理方法，如使用等离子体对被刻蚀物进行轰击，使其脱离晶片的技术来进行薄膜侵蚀的一种技术；剥离技术是一种“间接”刻蚀技术，即剥离不需要的薄膜部分而保留需要的部分从而达到图形化的目的，如利用图形化之后的光刻胶作为隔层进行薄膜淀积工艺，薄膜沉积之后将光刻胶除去(湿法腐蚀)就形成了所需要的图案；CMP方法则是化学与机械抛光相结合的均匀移除刻蚀

工艺技术,平整磨光之后露出了所需要的沟槽结构。

早期刻蚀技术是采用湿法刻蚀的方法,也就是利用合适的化学溶液,先使未被光刻胶覆盖部分的被刻蚀材料分解和转变为可溶于此溶液的化合物而达到去除的目的。湿法刻蚀的进行主要是利用溶液与被刻蚀材料之间发生的化学反应,因此,可以通过化学溶液的选取与调整,得到适当的刻蚀速率以及被刻蚀材料与光刻胶及下层材质之间的良好刻蚀选择比。然而,由于化学反应没有方向性,湿法刻蚀会侧向刻蚀而产生钻蚀现象,当集成电路中的器件尺寸越来越小时,钻蚀现象也越来越严重并导致图形线宽失真。因此,现在湿法刻蚀逐渐被干法刻蚀所取代。所谓干法刻蚀,通常指的就是利用辉光放电的方式,产生包含离子或电子等带电粒子和具有高化学活性的中性原子及自由基的等离子体来进行薄膜移除的刻蚀技术。

剥离技术与化学机械抛光技术是针对当今集成电路与 MEMS 工艺的两项具有创意的图形化技术,剥离技术不是刻蚀薄膜而是刻蚀掩膜层如光刻胶。CMP 技术经由 IBM 及 Intel 等公司积极研发,不仅可以达到全面平坦化的目的,还可结合光刻与薄膜填充与淀积工艺,实现和以上刻蚀同样效果的硅片表面的图形化要求,如将铜和钨嵌入到通孔和连线槽之中而形成现在常用的后端 Cu 互联。

刻蚀的指标和表征

主要包括刻蚀速率 (Etching Rate) 与均匀度、选择性 (Selectivity)、各向选择性 (Isotropic or Anisotropic) (刻蚀的各向异性程度),刻蚀成本,三维 (3D) 刻蚀。

刻蚀速率越快,则设备的产能越大,有助于降低成本及提升企业竞争力。刻蚀速率通常可利用气体的种类、流量、等离子体源及偏压功率控制,在其他因素尚可接受的条件下越快越好。均匀度是表征晶片上不同位置的刻蚀速率差异的一个指标。较好的均匀度意味着晶片有较好的刻蚀速率和优良成品率。晶片从 80 mm、100 mm 发展到 300 mm,面积越来越大,对均匀度的控制就显得越来越重要。选择比是被刻蚀材料的刻蚀速率与掩膜或底层的刻蚀速率的比值,选择比的控制通常与气体种类、比例、等离子体的偏压功率、反应温度等有关。各向异性性决定了刻蚀轮廓,一般而言越接近 90 度的垂直刻蚀越好,只有在少数特例(如在接触孔或走线孔的制作)中,为了使后续金属溅镀工艺能有较好的阶梯覆盖能力而故意使其刻蚀轮廓小于 90 度。

对于刻蚀速率,必须要“中庸”刻蚀速率和控制能力,必须要在刻蚀速度与刻蚀精度之间找到平衡点,还要结合实际的应用与工程需要,例如如果薄膜的厚度本来就薄,薄膜厚度的相对误差相对苛刻,控制能力就成了主要矛盾,这时就需要刻蚀的速率要低一点。下面的章节里,会根据不同的薄膜材料和适用场合对刻蚀速率予以实事求是和综合性的介绍。

关于刻蚀的选择性,是指掩膜版材料与暴露在刻蚀环境下的材料对于刻蚀介质(腐蚀剂、等离子体)的敏感程度。例如下图,采用 SiO_2 作为掩膜来刻蚀 Si_3N_4 的例子,在这个例子里,必须要比较 SiO_2 , Si_3N_4 和 Si 对于腐蚀剂磷酸的刻蚀速率,即“选择性”,要求在磷酸里浸泡的时候, Si_3N_4 的腐蚀速率快于 SiO_2 ,并且,在腐蚀结束的时候,磷酸不要腐蚀到和 Si 的基底,也就是需要对 Si 的腐蚀速率也要低。满足这些条件,才是一个合格的刻蚀过程。下图证明,用磷酸并利用 SiO_2 作为掩膜刻蚀 Si_3N_4 ,衬底为 Si 材料的刻蚀方案是合理的。

氮化硅的刻蚀可采用 SiO_2 作掩蔽膜,在 180°C 磷酸溶液中进行刻蚀。 Si_3N_4 , SiO_2 , Si 在 180°C 磷酸中的刻蚀速率见表 6-1。

表 6-1 氮化硅的刻蚀

被刻蚀材料	Si_3N_4	SiO_2	Si
刻蚀速率(nm/min)	10	1	0.5

关于刻蚀的各向异性,是指刻蚀剂(腐蚀液或等离子体)对于要刻蚀的材料横向方向的刻蚀速率。湿法刻蚀利用腐蚀溶液与刻蚀材料的化学反应形成刻蚀过程,化学反应本身并不具有方向性,刻蚀一开始只发生在表面,之后,材料的底面和侧面同时暴露在腐蚀溶液之下,腐蚀就会在纵向和横向同时进行(如下图所示),所以湿法刻蚀属于各向同性的刻蚀。显然,湿法刻蚀存在侧向刻蚀,不能保证细微结构和线条的刻蚀精度,而干法刻蚀就可以规避这个问题,如下图所示,干法刻蚀利用近乎于垂直于表面的离子溅击在被刻蚀物的表面而将被刻蚀物的原子击出从而形成刻蚀,特色在于具有非常好的方向性,可获得接近垂直的刻蚀轮廓,所以称为各向异性刻蚀,可以刻出非常精细的结构和线条。

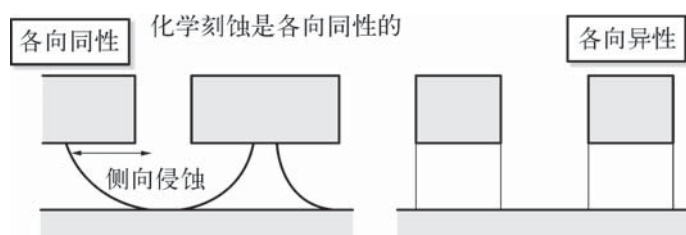


图 6-2 湿法刻蚀(各向同性)与干法刻蚀(各向异性)

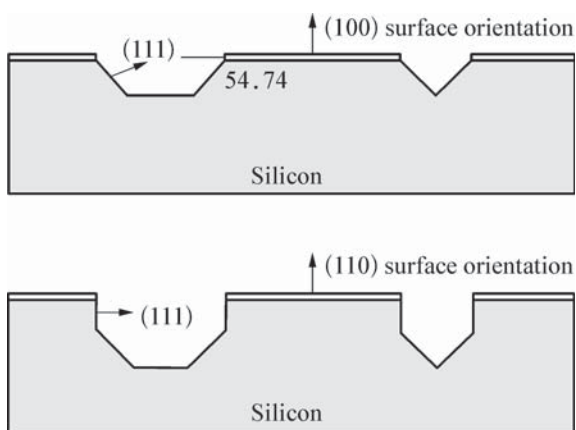


图 6-3 硅 $\langle 111 \rangle$, $\langle 100 \rangle$, $\langle 110 \rangle$ 晶向给晶体的刻蚀造成各向异性

对于晶体结构,晶体的晶向也会给晶体的刻蚀造成各向异性的结果。例如硅的 $\langle 111 \rangle$, $\langle 100 \rangle$, $\langle 110 \rangle$ 晶向的腐蚀速率比例为 $1 : 600 : 400$,所以,在 $\langle 100 \rangle$ Si 的晶面上进行湿法腐蚀,会形成沿 $\langle 111 \rangle$ 晶向的斜面(下图),这种各向异性的特点可以被利用为优点,例如下面介绍的 Σ 图形化刻蚀;也可以被认为是缺点,因为造成横向侵蚀,影响刻蚀线条的精度。

一般的来讲,湿法刻蚀操作简便、对设备要求低、易于实现大批量生产,刻蚀成本低。

干法刻蚀设备包括复杂的机械、电气和真空装置,同时配有自动化的刻蚀终点检测和控制装置,因此这种工艺的设备投资是昂贵的。而对于采用微米级和纳米量级线宽的超大规模集成电路,刻蚀方法必须具有较高的各向异性特性,才能保证图形的精度,必须采用干法刻蚀的方法。所以,对于一个集成电路的生产线,方法的选择是一个成本与技术要求的中庸考虑。

第 三 篇

集成电路工程学及其后勤工程

第8章 集成电路工程学

- A. 集成电路质量控制的工程学方法: 6σ 原理, Cpk, 统计质量控制(SQC)
- B. 实验设计方法(DOE)
- C. 晶片的良率(Yield)
- D. 可靠性
- E. 生产集成与自动化, 计算机集成制造

集成电路工程学包括集成电路生产的质量控制(SQC, Statistical Quality Control), 试验设计(DOE, Design of Experiment)方法, 良率(Yield), 可靠性(Reliability)和芯片的老化处理(Burn-in)和芯片出厂前的滤化-老化处理(Burn-in)。如果说集成电路制造工艺侧重的是“硬件”部分, 集成电路工程学面向的是集成电路生产过程和生产系统的“软件”部分, 是集成电路生产的管理和运作。在很多场合下, 集成电路工程学的工作不是追求“最”, 比如追求最佳性能、最少成本等等。集成电路工程学的任务是对一系列利益的平衡, 比如说高性能与高可靠性的平衡, 成本和质量的平衡, 性价比, 运作时间与集成芯片的完美程度……。工程学所侧重的具体目标是长期的完美产品和短期利益的最优化, 包括平衡市场、时间、性能、可靠性、成本等多种因素。图 8-1 摆了一杆秤图示了这个平衡的道理, 在这里, 可靠性、质量和良率、实验设计方法都是平衡这杆秤的系列集成电路工程学常识。

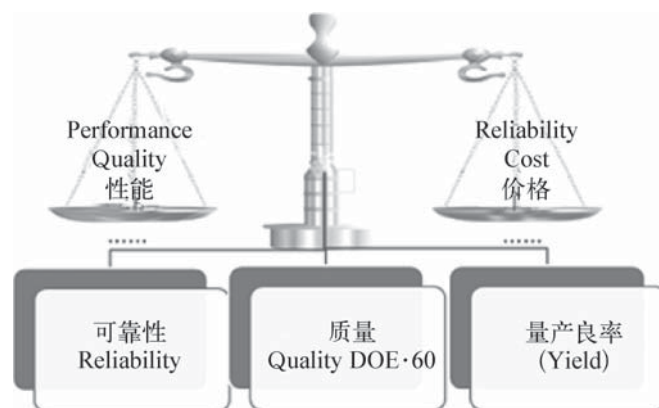


图 8-1 集成电路的工程学图示

8.1 集成电路质量控制的工程学方法：6σ 原理, Cpk, 统计质量控制 (SQC)

6σ 是一种统计评估法,核心是追求零缺陷生产,提高集成电路生产的良率。6σ 关注的是集成电路各个具体过程(如氧化层厚度,光刻线条的宽度,薄膜淀积与刻蚀的精度等等)的质量控制,最终实现对最后的产品-芯片的质量控制。“σ”是统计学上正态分布(高斯分布)用来表示标准偏差的,用以描述总体中的个体偏离均值的程度。正态分布的概率密度函数曲线呈钟形,因此人们又经常称之为“钟形曲线”。

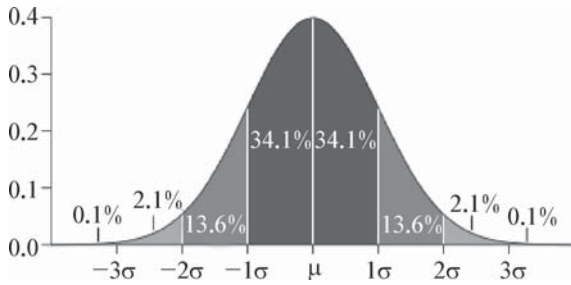


图 8-2 正态分布的钟形曲线

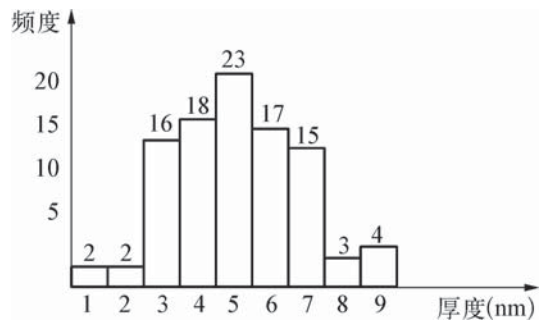
正态密度中数值的分布概率可以表征为:

$$f(x) = \frac{1}{\sigma\sqrt{2\pi}} e^{-\frac{(x-\mu)^2}{2\sigma^2}} \quad (8.1)$$

式中,μ 是目标值,σ 是标准偏差,x 是测量的点。正态密度的总积分值是 1。

正态分布是度量随机缺陷产生统计偏差的一个方便模型,很多的物理测量都近似地服从正态分布。σ 值越小,距离标准值的偏差范围就越小,过程的波动越小,质量控制就越好。6σ 是一个质量水平达到的目标,如果一个生产过程产生的系统偏差可以控制在 -3σ 到 +3σ (6σ) 之间,代表这个生产过程的质量水平是每一百万个器件,其中只有 3.4 件是有缺陷的。

比如在集成电路的制作中,需要氧化层厚度的目标值是 5 nm,而在实际的硅片生产中,硅片上不同的点对应的氧化层的厚度会与目标值 μ = 5 nm 有一个偏差,如果我们在硅片上均匀的取 100 个点,并在每一点上测量氧化层的厚度,然后把测量的厚度与出现频率用直方图(Histogram)的形式画出来(图 8-3),可以看到这个随机分布图可以很好的用正态分布来近似描述,并可根据每个测量点的数据,用最小二乘法获得正态分布函数的相关参数 μ 和 σ。



【习题】 试用最小二乘法来估算图 8-3 的 μ 和 σ

在实际应用中,也可以用以下的控制图(Control Chart)来表达测量数据的分布和偏差见图 8-4。

这种图示方法的优点是直观,可以直接看出偏离缺陷的具体情况(个数,批号,差值,

前附电子信息专业教材系列

集成电路 制造技术

张亚非 段力 编著

作者简介



张亚非，上海交通大学微纳米科学技术研究院教授。1992-1995年，兰州大学物理学博士，化学博士后。1996-1997年，日本科技厅研究员；1997-1999年，香港城市大学高级研究员；1999-2001年，日本科技厅先端机能材料研究中心高级科学家；2001年至今，上海交通大学长江学者特聘教授。



段力，上海交通大学微纳米学院电子学系副教授。1987年毕业于清华大学获硕士学位，1998年赴美国乔治梅森大学获博士学位。曾在硅谷LSI和AMD任职多年。2013年就职于上海交通大学。研究方向：微纳米科技在航空技术领域的交叉应用，航空发动机传感器预研。

科学万难言峻山 技术万险取凭
理想绝迹非 条件先行建设
思想创新起箭 方法变革突破
文章发表非 权威体以进章
道路曲折便捷 成果靠勤作收获

“0”体诗

诗的定义很广：一个具体的“0”字，是称“0”体诗
诗的定义：目标和互动的可视，统一
诗的主题思想：“学海无边”

——张亚非作于 2008.10.11

上架建议：电子信息



定价：88.00元

上海交通大学出版社
Shanghai Jiao Tong University Press