

## SMIC 员工漫谈半导体代工企业内幕(转载)

最近有不少的弟兄谈到半导体行业，以及 SMIC、Grace 等企业的相关信息。

在许多弟兄迈进或者想要迈进这个行业之前，我想有许多知识和信息还是需要了解的。正在半导体制造业刚刚全面兴起的时候，我加入了 SMIC，在它的 Fab 里做了四年多。历经 SMIC 生产线建立的全部过程，认识了许许多多的朋友，也和许许多多不同类型的客户打过交道。也算有一些小小的经验。就着工作的间隙，把这些东西慢慢的写出来和大家共享。

阅读下文之前可以先参看后面的词汇表，便于理解本文内容。

从什么地方开始讲呢？就从产业链开始吧。有需求就有生产就有市场。

市场需求（或者潜在的市场需求）的变化是非常快的，尤其是消费类电子产品。这类产品不同于 DRAM，在市场上总是会有大量的需求。也正是这种变化多端的市场需求，催生了两个种特别的半导体行业——Fab 和 Fab Less Design House。

我这一系列的帖子主要会讲 Fab，但是在一开头会让大家对 Fab 周围的东西有个基本的了解。像 Intel、Toshiba 这样的公司，它既有 Design 的部分，也有生产的部分。这样的庞然大物在半导体界拥有极强的实力。同样，像英飞凌这样 专注于 DRAM 的公司，活得也很滋润。至于韩国三星那是个什么都搞的怪物。这些公司，他们通常都有自己的设计部门，自己生产自己的产品。有些业界人士把这一类的企业称之为 IDM。

但是随着技术的发展，要把更多的晶体管集成到更小的 Chip 上去，Silicon Process 的前期投资变得非常的大。一条 8 英寸的生产线，需要投资 7~8 亿美金；而一条 12 英寸的生产线，需要的投资达 12~15 亿美金。能够负担这样投资的全世界来看也没有几家企业，这样一来就限制了芯片行业的发展。准入的高门槛，使许多试图进入设计行业的人望洋兴叹。

这个时候台湾半导体教父张忠谋开创了一个新的行业——foundry。他离开 TI，在台湾创立了 TSMC，TSMC 不做 Design，它只为做 Design 的人生产 Wafer。这样，门槛一下子就降低了。随便几个小朋友，只要融到少量资本，就能够把自己的设计变成产品，如果市场还认可这些产品，那么他们就发达了。同一时代，台湾的联华电子也加入了这个行当，这就是我们所称的 UMC，他们的老大是曹兴诚。——题外话，老曹对七下西洋的郑和非常钦佩，所以在苏州的 UMC 友好厂（明眼人一看就知道是 UMC 在大陆偷跑）就起名字为“和舰科技”，而且把厂区的建筑造的非常有个性，就像一群将要启航的战船。

---想到哪里就说到哪里，大家不要见怪。

在 TSMC 和 UMC 的扶植下，Fab Less Design House 的成长是非常可观的。从 UMC 中分离出去的一个小小的 Design Group 成为了著名的“股神”联发科。当年它的 VCD/DVD 相关芯片红透全世界，股票也涨得令人难以置信。我认识一个台湾人的老婆，在联发科做 Support 工作，靠它的股票在短短的四年内赚了 2 亿台币，从此就再也不上班了。

Fab Less Design House 的成功让很多的人大跌眼镜。确实，单独维持 Fab 的成本太高了，所以很多公司就把自己的 Fab 剥离出去，单独来做 Design。

Foundry 专注于 Wafer 的生产，而 Fab Less Design House 专注于 Chip 的设计，这就是分工。大家都不能坏了行规。如果 Fab Less Design House 觉得自己太牛了，想要自建 Fab 来生产自己的 Chip，那会遭到 Foundry 的抵制，像 UMC 就利用专利等方法强行收购了一家 Fab Less Design House 辛辛苦苦建立起来的 Fab。而如果 Foundry 自己去做 Design，那么 Fab Less Design House 就会心存疑惑——究竟自己的 Pattern Design 会不会被对方盗取使用？结果导致 Foundry 的吸引力降低，在产业低潮的时候就会被 Fab Less Design House 抛弃。

总体来讲，Fab Less Design House 站在这个产业链的最高端，它们拥有利润的最大头，

它们投入小，风险高，收益大。其次是 Foundry (Fab)，它们总能拥有可观的利润，它们投入大，风险小，受益中等。再次是封装测试 (Package&Testing)，它们投入中等，风险小，收益较少。

当然，这里面没有记入流通领域的分销商。事实上分销商的收益和投入是无法想象和计量的。我认识一个分销商，他曾经把 MP3 卖到了 50% 的利润，但也有血本无归的时候。

所以 Design House 是“三年不开张，开张吃三年。”而 Fab 和封装测试则是赚个苦力钱。对于 Fab 来讲，同样是 0.18um 的 8 英寸 Wafer，价格差不多，顶多根据不同的 Metal 层数来算钱，到了封装测试那里会按照封装所用的模式和脚数来算钱。这样 Fab 卖 1200 美元的 Wafer 被 Designer 拿去之后，实际上卖多少钱就与 Fab 它们没有关系了，也许是 10000 美元，甚至更高。但如果市场不买账，那么 Design House 可能就直接完蛋了，因为它的钱可能只够到 Fab 去流几个 Lot 的。我的前老板曾经在台湾 TSMC 不小心 MO，结果跑死掉一批货，结果导致一家 Design House 倒闭。题外话——Fab 的小弟小妹看到动感地带的广告都气坏了，什么“没事 MO 一下”，这不找抽吗？没事 MO (Miss Operation) 一下，一批货 25 片损失两万多美元，奖金扣光光，然后被 fire。

在 SMIC，我带的一个工程师 MO，结果导致一家海龟的 Design House 直接关门放狗。这个小子很不爽的跳槽去了一家封装厂，现在混得也还好。

所以现在大家对 Fab 的定位应该还是比较清楚的了。

Fab 有过一段黄金时期，那是在上个世纪九十年代末。TSMC 干四年的普通工程师一年的股票收益相当于 100 个月的工资（本薪），而且时不时的公司就广播，“总经理感谢大家的努力工作，这个月加发一个月的薪水。”

但是过了 2001 年，也就是 SMIC 等在大陆开始量产以来，受到压价竞争以及市场不景气的影响，Fab 的好时光就一去不复返了。高昂的建厂费用，高昂的成本折旧，导致连 SMIC 这样产能利用率高达 90% 的 Fab 还是赔钱。这样一来，股票的价格也就一落千丈，其实不光是 SMIC，像 TSMC、UMC 的股票价格也大幅下滑。

但是已经折旧折完的 Fab 就过得很滋润，比如先进 (ASMC)，它是一个 5 英寸、6 英寸的 Fab，折旧早完了，造多少赚多少，只要不去盖新厂，大家分分利润，日子过的好快活。

所以按照目前中国大陆这边的状况，基本所有的 Fab 都在盖新厂，这样的结论就是：很长的一段时间内，Fab 不会赚钱，Fab 的股票不会大涨，Fab 的工程师不会有过高的收入。

虽然一直在亏本，但是由于亏本的原因主要是折旧，所以 Fab 总能保持正的现金流。而且正很多。所以结论是：Fab 赔钱，但绝对不会倒闭。如果你去 Fab 工作，就不必担心因为工厂倒闭而失业。

下面讲讲 Fab 对人才的需求状况。

Fab 是一种对各类人才都有需求的东西。无论文理工，基本上都可以在 Fab 里找到职位。甚至学医的 MM 都在 SMIC 找到了厂医的位置。很久以前有一个 TSMC 工程师的帖子，他说 Fab 对人才的吸纳是全方位的。（当然坏处也就是很多人才的埋没。）有兴趣的网友可以去找来看看。

一般来讲，文科的毕业生可以申请 Fab 厂的 HR，法务，文秘，财会，进出口，采购，公关之类的职位。但是由于是 Support 部门这些位置的薪水一般不太好。那也有些厉害的 MM 选择

做客户工程师 (CE) 的，某些 MM 居然还能做成制程工程师，真是佩服啊佩服。  
理工科的毕业生选择范围比较广：

计算机、信息类的毕业生可以选择作 IT，在 Fab 厂能够学到一流的 CIM 技术，但是由于不受重视，很多人学了本事就走人先了。

工程类的毕业生做设备(EE)的居多，一般而言，做设备不是长久之计。可以选择做几年设备之后转制程，或者去做厂商 (vendor)，钱会比较多。当然，也有少数人一直做设备也发展得不错。比较不建议去做厂务。

材料、物理类的毕业生做制程(PE)的比较多，如果遇到老板不错的话，制程倒是可以常做的，挺两年，下面有了小弟小妹就不用常常进 Fab 了。如果做的不爽，可以转 PIE 或者 TD，或者厂商也可以，这个钱也比较多。

电子类的毕业生选择做制程整合，也就是 Integration (PIE) 得比较多，这个是在 Fab 里主导的部门，但如果一开始没有经验的话，容易被 PE 忽悠。所以如果没有经验就去做 PIE 的话，一定要跟着一个有经验的 PIE，不要管他是不是学历比你低。

所有硕士或者以上的毕业生，尽量申请 TD 的职位，TD 的职位比较少做杂七杂八的事情。但是在工作中需要发挥主动性，不然会学不到东西，也容易被 PIE 之类的人骂。

将来有兴趣去做封装、测试的人可以选择去做产品工程师 (PDE)。

有兴趣向 Design 转型的人可以选择去做 PIE 或者 PDE。

喜欢和客户打交道的人可以选择去做客户工程师 CE，这个位置要和 PIE 搞好关系，他们的 Support 是关键。

有虐待别人倾向，喜欢看着他人无助神情的人可以考虑去做 QE。QE 的弟兄把 PIE/PE/EE/TD/PDE 之类的放挺简直太容易了。：)

下面分部门简单介绍一下 Fab 的工种。

Fab 中 PIE 要略微比 PE 和 EE 好一些，相对进 fab 的机会要少。

PIE 主要的工作有很多，但总而言之是和产品密切相关的。SMIC 上海厂有 DRAM 和 Logic 两种截然不同的产品，相应的 PIE 职责也有区别。

Memory PIE (基本都在一厂) 通常是分段管理，一般是有人负责 Isolation(FOX/STI)，有人负责 Capacitance，有人负责 Transistor，有人负责后段 Interconnect。总体分工比较明确，少数资深的工程师会负责全段的制程。Memory 的产品通常种类较少，总量较大，比较少有新的产品。SMIC 的 Memory 有堆栈型和沟槽型两大类，都在一厂有量产。

Logic PIE (两个厂都有) 才是真正意义上的 Fab PIE，一般来讲 Fab 要赚钱，Logic 的产品一定要起来。Logic PIE 通常会分不同的 Technology 来管理产品，比如 0.35um LG/MM/HS; 0.18um LG/MM/HS/SR; 0.13um LG/SR 等等。Logic 的产品种类非常多，但每颗的总量一般不会太大，如果能够有 1000pcs/月的量，那已经比较大的客户了。——如果遇到这样的新客户，大家可以去买他的股票，一定可以赚钱。

Logic PIE 的主要工作通常有 Maintain 和 NTO 两大类，前者针对量产的大量产品的良率提高，缺陷分析等。后者主要是新产品的开发和量产。具体的工作么，拿 NTO 来讲，有 Setup process flow, pirun, fab out report, defect reduction, yield analysis, customer meeting, ... 等等。

相比较而言，进 fab 倒不是最主要的，分析数据和写报告的工作为主。

偷个懒，把原来写的一部分搬过来。通常讲 Fab 的工作环境比较恶劣，那就是指 Module 和 MFG。因为 PIE 可以比较少进 Fab，所以 PIE 虽然也会比较忙，但是接触到辐射、化学药品的机会要少很多。

一般本科毕业生如果去 MFG 的话会做线上的 Super，带领 Leader 和一群小妹干活。除非你从此不想和技术打交道，否则不要去 MFG。只有想将来做管理的人或者还会有些兴趣，因为各个不同区域的 MFG 都是可以互换的，甚至不同产业的制造管理都是一样的。Fab 的

MFG Supper 在封装、测试厂，在 TFT/LCD 厂，在所有的生产制造型企业都可以找到相关合适的位置。和人打交道，这是管理的核心，而在 MFG，最重要的就是和人打交道。你会和 EE 吵架，和 PE 吵架，和 PIE 吵架，被 Q 的人闻讯，可以修理 TD 的弟兄，不过比较会惹不起 PC (Production Control)。喜欢吵架的弟兄可能会乐此不疲，因为 MFG 和别人吵架基本不会吃亏。

在 Fab 里有三个“第一”：安全第一，客户第一，MFG 第一。所以只要和安全以及客户没有关系，MFG 就是最大的，基本可以横着走。PIE 能够和 MFG 抗争的唯一优势，也就是他们可以拿客户来压 MFG。MFG 在奖金等方面说话的声音比较大，一般而言，奖金优先发放给 MFG，因为他们最辛苦。MFG 的 Super 需要倒班，做二休二，12 小时 12 小时的轮，在休息的时候还会被拖过来学习、写报告什么的，所以平均下来一周工作的时间至少在 50 小时以上。上白班的还好，但是上晚班的生物钟会被弄的比较乱。MFG 做常日的 Super 会好一些。

不建议硕士及以上学历的弟兄去 MFG。Module 的工程师主要分成两大类：制程（工艺）和设备。也就是所谓 PE 和 EE。基本上无论哪个 Module 都会有这样的两类工程师。

设备工程师主要负责的是机台的状态，他们要保持机台始终处于比较好的 Status，从而提高机台的利用率。TSMC 在最忙的时候曾经把机台的利用率提到到了 110% 以上，这样就需要缩短机台设计的 PM 时间，缩短机台的 Monitor 时间，减小 Down 机的几率。这样设备工程师的压力就很大。设备工程师的 On Call 通常就是来自于此。如果大家都是混得比较资深的 EE，那由于晚上都有设备值班，小问题都能够被处理掉，而大问题也没法处理，可以第二天白天来做。但如果是一群没有足够经验的 EE，那么每个人都只能专精几种机台，结果就是遇到不熟悉的机台出问题，就只好 Call 人了。

EE 在 Fab 中待的时间要比 PE 长，有很多 routine 的工作，比如 PM。EE 的问题相对简单，妈的，机台出问题了我就修呗，修不好我就 Call Vendor 呗。你制造部不爽那你自己来修。

EE 有很多机会接触有毒的气体、辐射和化学药品，也容易遭受侵害。Fab 里很多耸人听闻传说中的主人公都是 EE。记住一条 Fab 的铁律，任何不明身份的液体都可以默认为是 HF 溶液，千万不要去胡乱摸。此外特别的区域会有特别的注意事项，各自要注意。

EE 主要和 PE 以及厂务 (FAC) 的弟兄打交道。不太会直接面对 PIE 这种 Module 比较讨厌的人物，也和 TD 的弟兄没有什么大的过节。由于是机台的使用者，Vendor 会常常来和 EE 搞好关系，如果公司许可，可以有很多的饭局。酒量要锻炼。

EE 的工作很累，但并不很复杂，如果加入了一个不错的集体，也可以过的很快活。

硕士及以上学历的弟兄一般不会有加入 EE 的行列，工科的本科/大专毕业生可以绰绰有余的胜任 EE 的工作。EE 做久了如果没有什么兴趣可以想办法转去做 PE，如果想赚钱，做 Vendor 也不错。

制程工程师，也就是工艺工程师，也就是 PE。他们主要负责 Fab 中各类工艺参数和程式的设定。一个稳定的 Fab 必然需要大量资深的 PE 在。PE 的工作状况和 EE 不同，他们将面对多个部门的压力，MFG 和 PIE 是“压迫”PE 最多的两伙人。而 Q 的弟兄也会让 PE 非常痛苦，时常窜出来搞乱的 TD 工程师常常会把 PE 搞得抓狂。然后在 PE 和 EE 之间存在大量的灰色地带，这个事情究竟谁做？双方吵架的机会也是大把大把。

PE 和 Vendor 打交道的机会也比较多，无论是机台的 Vendor 还是 Material 的 Vendor。熟悉之后，跳槽出去做 Vendor 的 PE 也不少。通常而言，EE 去做 Vendor 还是修机器，而 PE 常常会摇身一变成了 Sales。许多出去买 Material 的 PE 现在富的流油（因为有提成），尤其以卖 CMP 研磨液的弟兄为最好，卖靶材和光阻的就差了不少。

PE 也是需要在 Fab 里面常常待的,要 tuning 出好的程式也需要付出很大的代价。以 Diff 为例子,每个 run 都要以小时计算,无论是 uniformity、Defect、Quality 都需要被考量,而且最后还要得到 PIE 电性数据的 Support。

Fab 里面出什么问题, MFG 无法界定的时候, 第一个通知的就是值班 PE。

每当一个新的制程在开发的时候, 无论是 PIE 主导还是 TD 主导, PE 都累得像条狗一样, 操劳过度, 而且还要陪着笑脸向制造部的 Leader 借机台, 一不小心就付出请客喝水的代价。只有少数资深的 PE 敢于把 PIE 或者 TD 骂一顿然后罚他们自己去借机台的。许多 PRS 数据都需要切片, PE 就只好在 FA Lab 陪伴切片的小妹度过一个不眠之夜——尤其以 ETCH 的弟兄最为痛苦, 当年的 liaoduan 他们就切片切的昏天黑地。最后怒了, 就拿了把西瓜刀去找 PIE 进行黑社会谈判, 好不容易分了一部分活出去。

PE 要值夜班, EE 值班的时候, 如果机台没问题就可以眯段时间, 反正半夜也没有老板在。但是机台没有问题不代表 Wafer 没有问题, 实际上 Fab 中 Wafer 出的问题千奇百怪, 匪夷所思。所以 PE 的值班手机从来就不会闲下来, 在 Fab 中最忙的值班电话通常是 CMP、YE 和 PHOTO 的值班手机。

什么叫做痛苦, 当你作为一个 PE 在 Fab 里接到 YE 的报警电话的时候就会有一种生不如死的感觉。完了, 今天的值班一定没好日子过了.....

PE 同样面对 Fab 中的不良环境, 所以要注意身体, 在有了小弟小妹之后就尽量少进 Fab。回头再讲讲 PIE。表面上看起来, PIE 要比 PE/EE 都快活, 他们在 Fab 里工作的绝对时间要远少于 PE 和 EE。对于 PE 来讲, PIE 简直就是最可恶的人之一, 成天忽发奇想, 给出奇奇怪怪的各项指令, 然后还不不停的来骚扰自己, 要这样做, 要那样做, 简直像一大堆苍蝇。而且自己还不能像对待 TD 一样直截了当的 say no。然后还要看我的 SPC, 帮着 Q 这些人来 Review 自己, 简直讨厌透了。

所以, 半夜货出了问题, 不管大小, Call 人! 把 PIE 这群鸟人 Call 起来上个厕所。

Module 的工程师只是负责一段的制程, 而 PIE 需要对整个制程负责。很自然的, 对于一个具体的制程来讲, PIE 不可能比 PE 更为专业。但是 PIE 的位置决定了他必须要“以己之短, 攻敌之长”, 和 PHOTO 讨论 Shot Dependence, 和 ETCH 讨论 Loading Effect, 和 CMP 讨论 Down Force, .....结果导致所有的人都认为: 妈的, PIE 什么都不懂。有一些聪明的 PIE 就和 PHOTO 工程师讲 DIFF, 和 DIFF 工程师讲 ETCH, 和 ETCH 的讲 CMP, .....结果就是所有的人都对他肃然起敬。

其实, PIE 和 PE 有强烈的依存关系, PIE 面对的人更加多, 也更加杂, 一个好的 PIE 会保护和与自己合作的 PE, 而一个差劲的 PIE 会在客户来发飚的时候把 PE 推出去当替死鬼。PIE 需要 PE 为自己的实验准备程式, 调试机台, 提供意见.....没有 PE 的 Support, PIE 什么也不是。当年 SMIC 一厂著名的 Marvin、Jing 和 Cathy 小姐开发 0.15um Utrla Low Power SRAM 的时候, 就是由于 IMP 的失误, 导致近一年的开发时间被浪费了。Marvin、Jing 和 Cathy 每次提到这段血泪史无不扼腕叹息——当年付出的努力: 无数次的夜班, 电性分析, 切片 FA, Split Run, .....通通付诸东流。

PIE 唯一还算是专业的, 就是 WAT 电性, 一个好的 PIE 需要对电性的结果非常敏感。

各位所有想要做, 或者正要做 PIE 的朋友, 请记住一条 PIE 的铁律: “永远不要乱改东西。”只要你记住了这一句话, 你就没有白花时间去这段文字。

做 Lot Owner 是件痛苦的事情, 因为这一批货色的成败死活都会和你挂钩, 如果是很重要的货, 那么晚上被 Call 几乎是一定的。有时候你还得半夜等货做实验。说起做实验, 就会涉及到 Run Card, 这是让制造部帮助你不按照正常流程来做实验的东东。开的 Run Card 越多, 制造部就会越恨你。当年的 Jamin 以 2 年半超过 1000 张 Run Card 成为 MFG 第一“公敌”。其实像 PIE 每个人的 Run Card 数目都不少, 数百张都是很正常的。

PIE 会直接面对客户。合理帮助你的客户，没准下一份轻松写意收入好的工作你可以在他们那里找到，而且还可以回来 Review Fab。

做的无聊了，PIE 可以转 PDE/TD/CE 等职位，也可以跳槽去做 Foundry Manager，转行做 Design 德也有，去 Vendor 那里的机会比较少。

## 关于 PDE

这是产品工程处的职位。主要的工作是帮助 Fab 找到 Yield Loss 的主要方面，帮助 Fab 提高 Yield。写 Report 是 PDE 最常做的事情。PDE 需要有 EFA 和 PFA 的基本功底，要有对电性等各类数据高度的敏感。好的 PDE 需要在 Integration 先锻炼过一段时间，熟悉 Flow 和 Fab 的环境。

Memory 的 PDE 相对好做，利用电性的方法，可以比较容易的定位到 Fail Point，再做 FA 分析。难点在找到问题之后 PIE 的 Yield Improve，但这个是以 PIE 为主去做的。

而 Logic 的 PDE 比较困难，如果遇到不讲理的 PIE，压力就很大。Logic 产品 Yield 上不去，原则上 PIE 只要一句：Product 给点方向。就可以闪人了，痛苦的是 PDE。好在绝大多数 PIE 会负责到底，但这又带来一个问题。就是 PDE 会被“架空”或者干脆成为了 PIE 切片的小弟。

做 PDE 一定要积极，同时要和 PIE 保持良好的关系，PDE 和 PIE 只有紧密合作，才能把产品弄好。而且当 PDE 不得不面对 Module 工程师的时候，记得找个 PIE 帮你，在 Fab 里，他说话比 PDE 管用。

PDE 要面对客户，记住最重要的一点：在没有和 PIE 确认之前，不要对客户乱说话。不然害惨 PIE 也害惨 PDE 自己。

如果将来不想做 PDE 了，可以转行做封装测试，转行做 Design，或者 Foundry manager，或者 foundry 内部的 CE，PIE，TD 等都可以。

## 一只秒表走天下的 IE

工业企划处的 IE 可以算是 Foundry 中的一个异类，做好了可以直取管理的精髓，做不好，就被无数的 PE/EE 甚至 MFG 看不起。小时候一定都读过华罗庚老先生的《统筹管理》一文（初中课本有记载），IE 做的工作就和这个有关系。

Fab 是一个异常复杂的流水线，一片 Wafer 从下线到产出需要经过数百道流程和近百种机台。生产步骤之间的整合总体分成两大部分：Process 方面和生产能力方面。前者由我们应明伟大的 PIE 负责，而后者就是 IE 的工作。

比若说，一个产品出来需要经过 ABC 三个过程，A 过程中使用到的机台平均日生产能力为 A1，以此类推。原则上讲  $A1=B1=C1$  才是最佳的组合。IE 的工作之一就是要使 Fab 中各类机台的产能达到平衡，估算各类机台的需要程度，并提出组成方案。

这绝对不是一个简单的活。首先，Fab 不会只跑几种产品，它的产品一直在改变；其次，机台标称的生产能力不见得和真正的生产能力 Match；第三，各类机台的 Down 机几率不一样，复机所需时间也不一样；最后，出于 Fab 出货的需要，有些时候需要采用一种特别的跑货方法，比如说月底拉货出线，比如说应客户要求 Super Hot Run 等等，这些都会大大的干扰正常的流程。为了获得具体的第一手资料，许多 IE 就跑到 Fab 里，看着 Wafer 的进出，用秒表来掐算时间。这就是所谓的“一只秒表走天下”。

类似的还有 MC，他们控制的主要是 Fab 使用的 Material，由于 Fab 厂跑的货一直在变，一旦 MC 估测不好——后果很严重，MFG 很生气。

还有 PC，他们的主要工作是按照 Fab 的产能状况来排货。

这些岗位都属于工程师编制，他们的主要目的就是让 Fab 能够合理的近乎满负荷的工作。

### TD = Technology Develop

为 Fab 的技术开发部门，通常公司中的 R&D 地位和 Fab 中的 TD 类似。之所以叫“技术发展部”而不叫“研究和开发部”的原因大概是因为 Fab 搞得 Silicon Process 如果是研究的话，没有哪家公司愿意做，一般都是在大学和研究所里面。——一家之言。

对于中芯而言，TD 分为两个，LTD 和 MTD。LTD 主要是从事逻辑器件的开发，而 MTD 则是开发 memory 器件。一般来说，TD 的工作主要是开发下一代工艺技术。以 LTD 为例，它包括 Module, PIE, Device 等部门。Module 工程师的工作是 develop 新的 recipe。他们是与 Fab 的工程师联系最紧密的，因为 TD 没有自己的设备，所以经常要跑到 Fab 里去借机台。每次都要看别人的眼色行事。有时候实在很难借到机台，只有告诉自己老板，通过与对方老板之间的协商来解决问题。那么 PIE 的工作是要通过与本部门不同的 Module 合作，建立整个 process flow。TD 的工程师不像 Fab 的工程师晚上有轮班的。所以，只能尽量在白天完成任务，如果实在不行，比如晚上才能借到机台，那也只能自认倒霉，晚上加班。因为 Fab 的规矩是宁可人等机子也不能机子等人，否则第二天早上的晨会就要被老板们 highlight 了。第一次警告，以后再犯就开始扣钱了。事实上，TD 里面最能够学到东西就是 Device 工程师。Device 里面分 Modeling 和 device engineer。Modeling 还细分 TCAD 以及 SPICE model。如果没有 TCAD，我们芯片的价格可就不是现在这个价钱。因为 TCAD 是根据一些基本的物理模型和经验参数开发的一套软件，它可以模拟几乎所有 Fab 里的工艺步骤，并给出器件模拟性能。如果参数和校准做的好的话，模拟出来的器件性能与事实上工厂里流片的结果相差无几。正是有了这一套软件，可以节省大量的实验过程，也就是节省大量的 wafer，这样开发新的工艺技术，可以节省成本。然而，TCAD 工程师一般要求比较深厚的半导体物理器件知识还有一个不可或缺的就是经验。那么 device engineer 就是通过与 TCAD, PIE 合作，根据 TCAD 给出的工艺条件，在 Fab 里面做几个 split 进行流片，得到实验结果与 spec 进行比较，如果出现偏差，再进行 Modeling，或者直接根据实验结果，再进行实验微调，来会几回，就可以 on target 了，这当中还包括 reliability 的测试。所有这些完成后，就可以将标准 wafer 交给 SPICE Modeling 工程师，去建数据库，这样客户就可以通过数据库拿到标准单元的数据，去设计它们的芯片，最后拿到 Fab 流片，生产。

在 ASMC，他的 TD 实际上就是 SMIC 的 Integration，事实上，SMIC 的 Integration 也可以 Cover 到一部分 TD 的工作。

QE 主要是在 Fab 里找茬的。由于 Fab 是一条非常复杂的流水线，除了 PIE 之外，必须有一个独立的部门对品质负责。这个部门就是 Q。Q 的主要工作就是杜绝 Fab 中一切不符合 rule 和 OI 的事件，如果还没有法则，那 Q 就需要和 PIE/PE 来制定出合理的法则。

由于经常会给 PE/PIE 制造困扰，所以 QE 常常会让人感觉很讨厌，但是他们又惹不起 QE。所以，PIE/PE 对待 QE 都是以忽悠为主，此牙咧嘴为辅。

一个好的 QE 并不好做，在熟练掌握 QE 本身的技能之外，还需要对 process 有一定的了解——至少不能被很容易的忽悠，而且还要掌握一定的灵活尺度，不能把别人都害死。

做好 QE 的一个要诀就是原则性和灵活性并重。建议 QE 工程师至少要有一到两个比较铁杆的 PIE 弟兄，这样别人要忽悠你就不太容易了。

## IC 设计

20 个珍藏技术书籍下载好站

- 1、 <http://www.cs.wustl.edu/~schmidt/PDF/>
- 2、 <http://www.cs.wustl.edu/~doc/pspdfs/>
- 3、 <http://bookshelf.sleepnet.net/files/>
- 4、 <http://www.mindview.net/Books/DownloadSites>
- 5、 <http://stommel.tamu.edu/~baum/programming.html>
- 6、 <http://content.443.ch/pub/>
- 7、 <http://www.cdpa.nsysu.edu.tw/~zmx/www.gtt-net.com/ebook/>
- 8、 <http://www.comms.engg.susx.ac.uk/fft/>
- 9、 U.S.: <http://www.smart2help.com/e-books>
- 10、 USA: <http://www.hamsterific.com/MindView/>
- 11、 United States (python only): <http://www.webdocs.org>
- 12、 USA: <http://maththinking.com/boat/languageBooksIndex.html>
- 13、 USA - Boise, ID: <http://www.bsdg.org/thinkingin>
- 14、 USA: <http://www.linuxguruz.org/ebooks/eckel/>
- 15、 USA: <http://flynn.2ya.com/prog/java/bruceeckel/bruce.html>
- 16、 USA: <http://tutorials.kisland.com/download/bruceeckel/>
- 17、 <http://www.nerd-star.com/books/m...f.net/text/Reading/>
- 18、 <http://bookshelf.sleepnet.net/files/>
- 19、 <http://www.nerd-star.com/books/m...f.net/text/Reading/>
- 20、 <http://www.waneesoft.net/books/PrenticeBooks/>

## 问题与答案

晶圆制造厂非常昂贵的原因之一，是需要一个无尘室，为何需要无尘室

答：由于微小的粒子就能引起电子组件与电路的缺陷

何谓半导体？

答：半导体材料的电传特性介于良导体如金属(铜、铝，以及钨等)和绝缘和橡胶、塑料与干木头之间。最常用的半导体材料是硅及锗。半导体最重要的性质之一就是能够藉由一种叫做掺杂的步骤刻意加入某种杂质并应用电场来控制其之导电性。

常用的半导体材料为何

答：硅(Si)、锗(Ge)和砷化家(AsGa)

何谓 VLSI

答：VLSI(Very Large Scale Integration)超大规模集成电路

在半导体工业中，作为绝缘层材料通常称什么

答：介电质(Dielectric)

薄膜区机台主要的功能为何

答：沉积介电质层及金属层

何谓 CVD(Chemical Vapor Dep.)

答：CVD 是一种利用气态的化学源材料在晶圆表面产生化学沉积的制程

CVD 分那几种？

答：PE-CVD(电浆增强型)及 Thermal-CVD(热耦式)

为什么要用铝铜(AlCu)合金作导线？

答：良好的导体仅次于铜

介电材料的作用为何？

答：做为金属层之间的隔离

何谓 PMD(Pre-Metal Dielectric)

答：称为金属沉积前的介电质层，其界于多晶硅与第一个金属层的介电质

何谓 IMD(Inter-Metal Dielectric)

答：金属层间介电质层。

何谓 USG？

答：未掺杂的硅玻璃(Undoped Silicate Glass)

何谓 FSG？

答：掺杂氟的硅玻璃(Fluorinated Silicate Glass)

何谓 BPSG？

答：掺杂硼磷的硅玻璃(Borophosphosilicate glass)

何谓 TEOS？

答：Tetraethoxysilane 用途为沉积二氧化硅

TEOS 在常温时是以何种形态存在？

答：液体

二氧化硅其 K 值为 3.9 表示何义

答：表示二氧化硅的介电质常数为真空的 3.9 倍

氟在 CVD 的工艺上，有何应用

答：作为清洁反应室(Chamber)用之化学气体

简述 Endpoint detector 之作用原理。

答：clean 制程时,利用生成物或反应物浓度的变化,因其特定波长光线被 detector 侦测

到强度变强或变弱,当超过某一设定强度时,即定义制程结束而该点为 endpoint.

机台使用的管件材料主要有那些?

答: 有不锈钢制(Stainless Steel),黄铜制(Brass),塑胶制(PVC),特氟隆制(Teflon)四种.

机器维修时要放置停机维修告示牌目的为何?

答: 告知所有的人勿操作机台, 避免危险

机台维修至少两人配合, 有何目的?

答: 帮忙拆卸重物, 并随时警戒可能的意外发生

更换过任何气体管路上的零件之后, 一定要做何动作?

答: 用氦气测漏机来做测漏

维修尚未降至室温之反应室(Chamber), 应配带何种手套

答: 石棉材质之防热手套并宜在 80 摄式度下始可动作

何为真空(Vacuum)?半导体业常用真空单位是什么?

答: 半导体业通常用 Torr 作为真空的压力单位,一大气压相当 760Torr,低于 760Torr 压力的环境称为真空.

真空 Pump 的作用?

答: 降低反应室(Chamber)内的气体密度和压力

何谓内部连锁(Interlock)

答: 机台上 interlock 有些属于保护操作人员的安全,有些属于水电气等规格讯号,用以保护机台.

机台设定许多 interlock 有何作用?

答: 机台上 interlock 主要避免人员操作错误及防止不相关人员动作.

Wafer Scrubber 的功能为何?

答: 移除芯片表面的污染粒子

## ETCH

何谓蚀刻(Etch)?

答: 将形成在晶圆表面上的薄膜全部, 或特定处所去除至必要厚度的制程。

蚀刻种类:

答: (1) 干蚀刻(2) 湿蚀刻

蚀刻对象依薄膜种类可分为:

答: poly,oxide, metal

半导体中一般金属导线材质为何?

答: 鎢线(W)/铝线(Al)/铜线(Cu)

何谓 dielectric 蚀刻(介电质蚀刻)?

答: Oxide etch and nitride etch

半导体中一般介电质材质为何?

答: 氧化硅/氮化硅

何谓湿式蚀刻

答: 利用液相的酸液或溶剂;将不要的薄膜去除

何谓电浆 Plasma?

答: 电浆是物质的第四状态.带有正,负电荷及中性粒子之总和;其中包含电子,正离子,负离子,中性分子,活性基及发散光子等,产生电浆的方法可使用高温或高电压.

何谓干式蚀刻?

答: 利用 plasma 将不要的薄膜去除

何谓 Under-etching(蚀刻不足)?

答：系指被蚀刻材料，在被蚀刻途中停止造成应被去除的薄膜仍有残留

何谓 Over-etching(过蚀刻 )

答：蚀刻过多造成底层被破坏

何谓 Etch rate(蚀刻速率)

答：单位时间内可去除的蚀刻材料厚度或深度

何谓 Seasoning(陈化处理)

答：是在蚀刻室的清净或更换零件后，为要稳定制程条件，使用仿真（dummy）晶圆进行数次的蚀刻循环。

Asher 的主要用途:

答：光阻去除

Wet bench dryer 功用为何?

答：将晶圆表面的水份去除

列举目前 Wet bench dry 方法:

答：(1) Spin Dryer (2) Marangoni dry (3) IPA Vapor Dry

何谓 Spin Dryer

答：利用离心力将晶圆表面的水份去除

何谓 Marangoni Dryer

答：利用表面张力将晶圆表面的水份去除

何谓 IPA Vapor Dryer

答：利用 IPA(异丙醇)和水共溶原理将晶圆表面的水份去除

测 Particle 时,使用何种测量仪器?

答：Tencor Surfscan

测蚀刻速率时,使用何者量测仪器?

答：膜厚计,测量膜厚差值

何谓 AEI

答：After Etching Inspection 蚀刻后的检查

AEI 目检 Wafer 须检查哪些项目:

答：(1) 正面颜色是否异常及刮伤 (2) 有无缺角及 Particle (3)刻号是否正确

金属蚀刻机台转非金属蚀刻机台时应如何处理?

答：清机防止金属污染问题

金属蚀刻机台 asher 的功用为何?

答：去光阻及防止腐蚀

金属蚀刻后为何不可使用一般硫酸槽进行清洗?

答：因为金属线会溶于硫酸中

"Hot Plate"机台是什么用途?

答：烘烤

Hot Plate 烘烤温度为何?

答：90~120 度 C

何种气体为 Poly ETCH 主要使用气体?

答：Cl<sub>2</sub>, HBr, HCl

用于 Al 金属蚀刻的主要气体为

答：Cl<sub>2</sub>, BCl<sub>3</sub>

用于 W 金属蚀刻的主要气体为

答：SF<sub>6</sub>

何种气体为 oxide vai/contact ETCH 主要使用气体?

答: C4F8, C5F8, C4F6

硫酸槽的化学成份为:

答: H2SO4/H2O2

AMP 槽的化学成份为:

答: NH4OH/H2O2/H2O

UV curing 是什么用途?

答: 利用 UV 光对光阻进行预处理以加强光阻的强度

"UV curing"用于何种层次?

答: 金属层

何谓 EMO?

答: 机台紧急开关

EMO 作用为何?

答: 当机台有危险发生之顾虑或已不可控制,可紧急按下

湿式蚀刻门上贴有那些警示标示?

答: (1) 警告.内部有严重危险.严禁打开此门 (2) 机械手臂危险. 严禁打开此门 (3) 化学药剂危险. 严禁打开此门

遇化学溶液泄漏时应如何处置?

答: 严禁以手去测试漏出之液体. 应以酸碱试纸测试. 并寻找泄漏管路.

遇 IPA 槽着火时应如何处置??

答: 立即关闭 IPA 输送管路并以机台之灭火器灭火及通知紧急应变小组

BOE 槽之主成份为何?

答: HF(氢氟酸)与 NH4F(氟化铵).

BOE 为那三个英文字缩写 ?

答: Buffered Oxide Etcher 。

有毒气体之阀柜(VMB)功用为何?

答: 当有毒气体外泄时可利用抽气装置抽走,并防止有毒气体漏出

电浆的频率一般 13.56 MHz,为何不用其它频率?

答: 为避免影响通讯品质,目前只开放特定频率,作为产生电浆之用,如 380~420KHz,13.56MHz,2.54GHz 等

何谓 ESC(electrical static chuck)

答: 利用静电吸附的原理,将 Wafer 固定在极板 (Substrate) 上

Asher 主要气体为

答: O2

Asher 机台进行蚀刻最关键之参数为何?

答: 温度

简述 TURBO PUMP 原理

答: 利用涡轮原理,可将压力抽至 10<sup>-6</sup>TORR

热交换器(HEAT EXCHANGER)之功用为何?

答: 将热能经由介媒传输,以达到温度控制之目地

简述 BACKSIDE HELIUM COOLING 之原理?

答: 藉由氦气之良好之热传导特性,能将芯片上之温度均匀化

ORIENTER 之用途为何?

答: 搜寻 notch 边,使芯片进反应腔的位置都固定,可追踪问题

简述 EPD 之功用

答：侦测蚀刻终点;End point detector 利用波长侦测蚀刻终点

何谓 MFC?

答：mass flow controller 气体流量控制器;用于控制 反应气体的流量

GDP 为何?

答：气体分配盘(gas distribution plate)

GDP 有何作用?

答：均匀地将气体分布于芯片上方

何谓 isotropic etch?

答：等向性蚀刻;侧壁侧向蚀刻的机率均等

何谓 anisotropic etch?

答：非等向性蚀刻;侧壁侧向蚀刻的机率少

何谓 etch 选择比?

答：不同材质之蚀刻率比值

何谓 AEI CD?

答：蚀刻后特定图形尺寸之大小,特征尺寸(Critical Dimension)

何谓 CD bias?

答：蚀刻 CD 减蚀刻前黄光 CD

简述何谓田口式实验计划法?

答：利用混合变因安排辅以统计归纳分析

何谓反射功率?

答：蚀刻过程中,所施予之功率并不会完全地被反应腔内接收端所接受,会有部份值反射掉,此反射之量,称为反射功率

Load Lock 之功能为何?

答：Wafers 经由 loadlock 后再进出反应腔,确保反应腔维持在真空下不受粉尘及湿度的影响.

厂务供气系统中何谓 Bulk Gas ?

答：Bulk Gas 为大气中普遍存在之制程气体, 如 N<sub>2</sub>, O<sub>2</sub>, Ar 等.

厂务供气系统中何谓 Inert Gas?

答：Inert Gas 为一些特殊无强烈毒性的气体, 如 NH<sub>3</sub>, CF<sub>4</sub>, CHF<sub>3</sub>, SF<sub>6</sub> 等.

厂务供气系统中何谓 Toxic Gas ?

答：Toxic Gas 为具有强烈危害人体的毒性气体, 如 SiH<sub>4</sub>, Cl<sub>2</sub>, BCl<sub>3</sub> 等.

机台维修时,异常告示排及机台控制权应如何处理?

答：将告示牌切至异常且将机台控制权移至维修区以防有人误动作

冷却器的冷却液为何功用 ?

答：传导热

Etch 之废气有经何种方式处理 ?

答：利用水循环将废气溶解之后排放至废酸槽

何谓 RPM?

答：即 Remote Power Module,系统总电源箱.

火灾异常处理程序

答：(1) 立即警告周围人员. (2) 尝试 3 秒钟灭火. (3) 按下 EMO 停止机台. (4) 关闭 VMB Valve 并通知厂务. (5) 撤离.

一氧化碳(CO)侦测器警报异常处理程序

答: (1) 警告周围人员. (2) 按 Pause 键, 暂止 Run 货. (3) 立即关闭 VMB 阀, 并通知厂务. (4) 进行测漏.

高压电击异常处理程序

答: (1) 确认安全无虑下, 按 EMO 键 (2) 确认受伤原因 (误触电源, 漏水等) (3) 处理受伤人员

T/C (传送 Transfer Chamber) 之功能为何 ?

答: 提供一个真空环境, 以利机器手臂在反应腔与晶舟间传送 Wafer, 节省时间.

机台 PM 时需佩带面具否

答: 是, 防毒面具

机台停滞时间过久 run 货前需做何动作

答: Seasoning (陈化处理)

何谓日常测机

答: 机台日常检点项目, 以确认机台状况正常

何谓 WAC (Waferless Auto Clean)

答: 无 wafer 自动干蚀刻清机

何谓 Dry Clean

答: 干蚀刻清机

日常测机量测 etch rate 之目的何在?

答: 因为要蚀刻到多少厚度的 film, 其中一个重要参数就是蚀刻率

操作酸碱溶液时, 应如何做好安全措施?

答: (1) 穿戴防酸碱手套围裙安全眼镜或护目镜 (2) 操作区备有清水与水管以备不时之需 (3) 操作区备有吸酸棉及隔离带

如何让 chamber 达到设定的温度?

答: 使用 heater 和 chiller

Chiller 之功能为何?

答: 用以帮助稳定 chamber 温度

如何在 chamber 建立真空?

答: (1) 首先确立 chamber parts 组装完整 (2) 以 dry pump 作第一阶段的真空建立 (3) 当压力到达 100mT D 寺再以 turbo pump 抽真空至 1mT 以下

真空计的功能为何?

答: 侦测 chamber 的压力, 确保 wafer 在一定的压力下 process

Transfer module 之 robot 功用为何?

答: 将 wafer 传进 chamber 与传出 chamber 之用

何谓 MTBC? (mean time between clean)

答: 上一次 wet clean 到这次 wet clean 所经过的时间

RF Generator 是否需要定期检验?

答: 是需要定期校验; 若未校正功率有可能会变化; 如此将影响电浆的组成

为何需要对 etch chamber 温度做监控?

答: 因为温度会影响制程条件; 如 etching rate/均匀度

为何需要注意 dry pump exhaust pressure (pump 出口端的气压)?

答: 因为气压若太大会造成 pump 负荷过大; 造成 pump 跳掉, 影响 chamber 的压力, 直接影响到 run 货品质

为何要做漏率测试? (Leak rate)

答: (1) 在 PM 后 PUMP Down 1~2 小时后; 为确保 chamber Run 货时, 无大气进入

chamble 影响 chamber GAS 成份(2) 在日常测试时,为确保 chamber 内来自大气的泄漏源,故需测漏

机台发生 Alarm 时应如何处理?

答: (1) 若为火警,立即压下 EMO(紧急按钮),并灭火且通知相关人员与主管(2) 若是一般异常,请先检查 alarm 讯息再判定异常原因,进而解决问题,若未能处理应立即通知主要负责人

蚀刻机台废气排放分为那几类?

答: 一般无毒性废气/有毒酸性废气排放

蚀刻机台使用的电源为多少伏特(v)?

答: 208V 三相

干式蚀刻机台分为那几个部份?

答: (1) Load/Unload 端 (2) transfer module (3) Chamber process module (4) 真空系统 (5) GAS system (6) RF system

## PHOTO

PHOTO 流程?

答: 上光阻→曝光→顯影→顯影後檢查→CD 量測→Overlay 量測

何为光阻? 其功能为何? 其分为哪两种?

答: Photoresist(光阻).是一种感光的物质,其作用是将 Pattern 从光罩(Reticle)上传递到 Wafer 上的一种介质。其分为正光阻和负光阻。

何为正光阻?

答: 正光阻,是光阻的一种,这种光阻的特性是将其曝光之后,感光部分的性质会改变,并在之后的显影过程中被曝光的部分被去除。

何为负光阻?

答: 负光阻也是光阻的一种类型,将其曝光之后,感光部分的性质被改变,但是这种光阻的特性与正光阻的特性刚好相反,其感光部分在将来的显影过程中会被留下,而没有被感光的部分则被显影过程去除。

什么是曝光? 什么是显影?

答: 曝光就是通过光照射光阻,使其感光;显影就是将曝光完成后的图形处理,以将图形清晰的显现出来的过程。

何谓 Photo?

答: Photo=Photolithgraphy,光刻,将图形从光罩上成像到光阻上的过程。

Photo 主要流程为何?

答: Photo 的流程分为前处理,上光阻,Soft Bake,曝光,PEB,显影,Hard Bake 等。

何谓 PHOTO 区之前处理?

答: 在 Wafer 上涂布光阻之前,需要先对 Wafer 表面进行一系列的处理工作,以使光阻能在后面的涂布过程中能够被更可靠的涂布。前处理主要包括 Bake, HDMS 等过程。其中通过 Bake 将 Wafer 表面吸收的水分去除,然后进行 HDMS 工作,以使 Wafer 表面更容易与光阻结合。

何谓上光阻?

答: 上光阻是为了在 Wafer 表面得到厚度均匀的光阻薄膜。光阻通过喷嘴(Nozzle)被喷涂在高速旋转的 Wafer 表面,并在离心力的作用下被均匀的涂布在 Wafer 的表面。

何谓 Soft Bake?

答：上完光阻之后，要进行 Soft Bake，其主要目的是通过 Soft Bake 将光阻中的溶剂蒸发，并控制光阻的敏感度和将来的线宽，同时也将光阻中的残余内应力释放。

何谓曝光？

答：曝光是将涂布在 Wafer 表面的光阻感光的过程，同时将光罩上的图形传递到 Wafer 上的过程。

何谓 PEB(Post Exposure Bake)？

答：PEB 是在曝光结束后对光阻进行控制精密的 Bake 的过程。其目的在于使被曝光的光阻进行充分的化学反应，以使被曝光的图形均匀化。

何谓显影？

答：显影类似于洗照片，是将曝光完成的 Wafer 进行成像的过程，通过这个过程，成象在光阻上的图形被显现出来。

何谓 Hard Bake？

答：Hard Bake 是通过烘烤使显影完成后残留在 Wafer 上的显影液蒸发，并且固化显影完成之后的光阻的图形的过程。

何为 BARC？何为 TARC？它们分别的作用是什么？

答：BARC=Bottom Anti Reflective Coating, TARC= Top Anti Reflective Coating. BARC 是被涂布在光阻下面的一层减少光的反射的物质，TARC 则是被涂布在光阻上表面的一层减少光的反射的物质。他们的作用分别是减少曝光过程中光在光阻的上下表面的反射，以使曝光的大部分能量都被光阻吸收。

何谓 I-line？

答：曝光过程中用到的光，由 Mercury Lamp(汞灯)产生，其波长为 365nm，其波长较长，因此曝光完成后图形的分辨率较差，可应用在次重要的层次。

何谓 DUV？

答：曝光过程中用到的光，其波长为 248nm，其波长较短，因此曝光完成后的图形分辨率较好，用于较为重要的制程中。

I-line 与 DUV 主要不同处为何？

答：光源不同，波长不同，因此应用的场合也不同。I-Line 主要用在较落后的制程（0.35 微米以上）或者较先进制程（0.35 微米以下）的 Non-Critical layer。DUV 则用在先进制程的 Critical layer 上。

何为 Exposure Field？

答：曝光区域，一次曝光所能覆盖的区域

何谓 Stepper？其功能为何？

答：一种曝光机，其曝光动作为 Step by step 形式，一次曝整个 exposure field，一个一个曝过去

何谓 Scanner？其功能为何？

答：一种曝光机，其曝光动作为 Scanning and step 形式，在一个 exposure field 曝光时，先 Scan 完整个 field，Scan 完后再移到下一个 field。

何为象差？

答：代表透镜成像的能力，越小越好。

Scanner 比 Stepper 优点为何？

答：Exposure Field 大，象差较小

曝光最重要的两个参数是什么？

答：Energy(曝光量), Focus(焦距)。如果能量和焦距调整的不好，就不能得到要求的分辨率和要求大小的图形，主要表现在图形的 CD 值超出要求的范围。因此要求在生产时要时

刻维持最佳的能量和焦距，这两个参数对于不同的产品会有不同。

何为 Reticle?

答：Reticle 也称为 Mask，翻译做光掩模板或者光罩，曝光过程中的原始图形的载体，通过曝光过程，这些图形的信息将被传递到芯片上。

何为 Pellicle?

答：Pellicle 是 Reticle 上为了防止灰塵(dust)或者微塵粒子(Particle)落在光罩的图形面上的一层保护膜。

何为 OPC 光罩?

答：OPC (Optical Proximity Correction)为了增加曝光图案的真实性，做了一些修正的光罩，例如，0.18 微米以下的 Poly, Metal layer 就是 OPC 光罩。

何为 PSM 光罩?

答：PSM (Phase Shift Mask)不同于 Cr mask, 利用相位干涉原理成像，目前大都应用在 contact layer 以及较小 CD 的 Critical layer (如 AA, POLY, METAL1) 以增加图形的分辨率。

何為 CR Mask?

答：傳統的鍍膜光罩,只是利用光訊 0 與 1 干涉成像,主要應用在較不 Critical 的 layer 光罩编号各位代码都代表什么?

答：例如 003700-156AA-1DA, 0037 代表产品号, 00 代表 Special code,156 代表 layer,A 代表客户版本,后一个 A 代表 SMIC 版本,1 代表 FAB1, D 代表 DUV(如果是 J,则代表 I-line),A 代表 ASML 机台 (如果是 C, 则代表 Canon 机台)

光罩室同时不能超过多少人在其中?

答：2 人，为了避免产生更多的 Particle 和静电而损坏光罩。

存取光罩的基本原则是什么?

答：(1) 光罩盒打开的情况下，不准进出 Mask Room,最多只准保持 2 个人(2) 戴上手套 (3) 轻拿轻放

如何避免静电破坏 Mask?

答：光罩夹子上连一导线到金属桌面，可以将产生的静电导出。

光罩 POD 和 FOUP 能放在一起吗？它们之间至少应该保持多远距离？

答：不能放在一起，之间至少要有 30 公分的距离，防止搬动 FOUP 时碰撞光罩 Pod 而损坏光罩。

何谓 Track?

答：Photo 制程中一系列步骤的组合，其包括：Wafer 的前、后处理，Coating(上光阻)，和 Develop(显影)等过程。

In-line Track 机台有几个 Coater 槽，几个 Developer 槽?

答：均为 4 个

机台上亮红灯的处理流程?

答：机台上红灯亮起的时候表明机台处于异常状态，此时已经不能 RUN 货，因此应该及时 Call E.E 进行处理。若 EE 现在无法立即解决，则将机台挂 DOWN。

何谓 WEE? 其功能为何?

答：Wafer Edge Exposure。由于 Wafer 边缘的光阻通常会涂布的不均匀，因此一般不能得到较好的图形，而且有时还会因此造成光阻 peeling 而影响其它部分的图形，因此将 Wafer Edge 的光阻曝光，进而在显影的时候将其去除，这样便可以消除影响。

何为 PEB? 其功能为何?

答：Post Exposure Bake，其功能在于可以得到质量较好的图形。(消除 standing waves) PHOTO POLYIMIDE 所用的光阻是正光阻还是负光阻

答：目前正负光阻都有，SMIC FAB 内用的为负光阻。

RUN 货结束后如何判断是否有 wafer 被 reject?

答：查看 RUN 之前 lot 里有多少 Wafer,再看 Run 之后 lot 里的 WAFER 是否有少掉，如果有少，则进一步查看机台是否有 Reject 记录。

何谓 Overlay? 其功能为何?

答：迭对测量仪。由于集成电路是由很多层电路重迭组成的，因此必须保证每一层与前面或者后面的层的对准精度，如果对准精度超出要求范围内，则可能造成整个电路不能完成设计的工作。因此在每一层的制作的过程中，要对其与前层的对准精度进行测量，如果测量值超出要求，则必须采取相应措施调整 process condition.

何谓 ADI CD?

答：Critical Dimension, 光罩图案中最小的线宽。曝光过后，它的图形也被复制在 Wafer 上，通常如果这些最小的线宽能够成功的成象，同时曝光的其它的图形也能够成功的成象。因此通常测量 CD 的值来确定 process 的条件是否合适。

何谓 CD-SEM? 其功能为何?

答：扫描电子显微镜。是一种测量用的仪器，通常可以用于测量 CD 以及观察图案。

PRS 的制程目的为何?

答：PRS (Process Release Standard)通过选择不同的条件（能量和焦距）对 Wafer 曝光，以选择最佳的 process condition。

何为 ADI? ADI 需检查的项目有哪些?

答：After Develop Inspection, 曝光和显影完成之后，通过 ADI 机台对所产生的图形的定性检查，看其是否正常，其检查项目包括：Layer ID,Locking Corner,Vernier,Photo Macro Defect

何为 OOC, OOS, OCAP?

答：OOC=out of control,OOS=Out of Spec,OCAP=out of control action plan

当需要追货的时候，是否需要将 ETCH 没有下机台的货追回来?

答：需要。因为通常是 process 出现了异常，而且影响到了一些货，因此为了减少损失，必须把还没有 ETCH 的货追回来，否则 ETCH 之后就无法挽回损失。

PHOTO ADI 检查的 SITE 是每片几个点?

答：5 点，Wafer 中间一点，周围四点。

PHOTO OVERLAY 检查的 SITE 是每片几个点?

答：20

PHOTO ADI 检查的片数一般是哪几片?

答：#1, #6, #15, #24; 统计随机的考量

何谓 RTMS, 其主要功能是什么?

答：RTMS (Reticle Management System) 光罩管理系统用于 trace 光罩的 History,Status,Location,and Information 以便于光罩管理

PHOTO 区的主机台进行 PM 的周期?

答：一周一次

PHOTO 区的控片主要有几种类型

答:(1) Particle :作为 Particle monitor 用的芯片,使用前测前需小于 10 颗(2) Chuck Particle :作为 Scanner 测试 Chuck 平坦度的专用芯片,其平坦度要求非常高(3) Focus :作为 Scanner Daily monitor best 的 wafer(4) CD :做为 photo 区 daily monitor CD 稳定度的 wafer(5) PR

thickness :做为光阻厚度测量的 wafer(6) PDM :做为 photo defect monitor 的 wafer

当 TRACK 刚显示光阻用完时, 其实机台中还有光阻吗?

答: 有少量光阻

当 TRACK 刚显示光阻用完时, 其实机台中还有光阻吗?

答: 有少量光阻

WAFER SORTER 有读 WAFER 刻号的功能吗?

答: 有

光刻部的主要机台是什么? 它们的作用是什么?

答: 光刻部的主要机台是: TRACK(涂胶显影机), Sanner(扫描曝光机)

为什么说光刻技术最象日常生活中的照相技术

答: Track 把光刻胶涂附到芯片上就等同于底片,而曝光机就是一台最高级的照相机. 光罩上的电路图形就是"人物". 通过对准,对焦,打开快门, 让一定量的光照过光罩, 其图像呈现在芯片的光刻胶上, 曝光后的芯片被送回 Track 的显影槽, 被显影液浸泡, 曝光的光刻胶被洗掉, 图形就显现出来了.

光刻技术的英文是什么

答: Photo Lithography

常听说的.18 或点 13 技术是指什么?

答: 它是指某个产品,它的最小"CD" 的大小为 0.18um or 0.13um. 越小集成度可以越高, 每个芯片上可做的芯片数量越多, 难度也越大.它是代表工艺水平的重要参数.

从点 18 工艺到点 13 工艺到点零 9. 难度在哪里?

答: 难度在光刻部, 因为图形越来越小, 曝光机分辨率有限.

曝光机的 NA 是什么?

答: NA 是曝光机的透镜的数值孔径;是光罩对透镜张开的角度的正弦值. 最大是 1; 先进的曝光机的 NA 在 0.5 ---0.85 之间.

曝光机分辨率是由哪些参数决定的?

答: 分辨率= $k1 * \lambda / NA$ .  $\lambda$  是用于曝光的光波长;NA 是曝光机的透镜的数值孔径;  $k1$  是标志工艺水准的参数, 通常在 0.4--0.7 之间.

如何提高曝光机的分辨率呢?

答: 减短曝光的光波长, 选择新的光源; 把透镜做大,提高 NA.

现在的生产线上, 曝光机的光源有几种, 波长多少?

答: 有三种: 高压汞灯光谱中的 365nm 谱线, 我们也称其为 I-line; KrF 激光器, 产生 248 nm 的光; ArF 激光器, 产生 193 nm 的光;

下一代曝光机光源是什么?

答: F2 激光器. 波长 157nm

我们可否一直把波长缩短,以提高分辨率? 困难在哪里?

答: 不可以. 困难在透镜材料. 能透过 157nm 的材料是 CaF2, 其晶体很难生长. 还未发现能透过更短波长的材料.

为什么光刻区采用黄光照明?

答: 因为白光中包含 365nm 成份会使光阻曝光,所以采用黄光; 就象洗像的暗房采用暗红光照明.

什么是 SEM

答: 扫描电子显微镜(Scan Electronic Microscope)光刻部常用的也称道 CD SEM. 用它来测量 CD

如何做 Overlay 测量呢?

答：芯片(Wafer)被送进 Overlay 机台中. 先确定 Wafer 的位置从而找到 Overlay MARK. 这个 MARK 是一个方块 IN 方块的结构.大方块是前层, 小方块是当层;通过小方块是否在大方块中心来确定 Overlay 的好坏.

生产线上最贵的机器是什么

答：曝光机;5-15 百万美金/台

曝光机贵在哪里?

答：曝光机贵在它的光学成像系统 (它的成像系统由 15 到 20 个直径在 200 300MM 的透镜组成.波面相位差只有最好象机的 5%. 它有精密的定位系统(使用激光工作台)

激光工作台的定位精度有多高?

答：现用的曝光机的激光工作台定位的重复精度小于 10nm

曝光机是如何保证 Overlay<50nm

答：曝光机要保证每层的图形之间对准精度<50nm. 它首先要有一个精准的激光工作台, 它把 wafer 移动到准确的位置. 再就是成像系统,它带来的图像变形<35nm.

在 WAFER 上, 什么叫一个 Field?

答：光罩上图形成象在 WAFER 上, 最大只有 26X33mm 一块(这一块就叫一个 Field),激光工作台把 WAFER 移动一个 Field 的位置, 再曝一次光, 再移动再曝光。直到覆盖整片 WAFER。所以, 一片 WAFER 上有约 100 左右 Field.

什么叫一个 Die?

答：一个 Die 也叫一个 Chip;它是一个功能完整的芯片。一个 Field 可包含多个 Die; 为什么曝光机的绰号是“印钞机”

答：曝光机 很贵；一天的折旧有 3 万-9 万人民币之多;所以必须充份利用它的产能,它一天可产出 1600 片 WAFER。

Track 和 Scanner 内主要使用什么手段传递 Wafer:

答：机器人手臂(robot), Scanner 的 ROBOT 有真空(VACCUUM)来吸住 WAFER. TRACK 的 ROBOT 设计独特, 用边缘 HOLD WAFER.

可否用肉眼直接观察测量 Scanner 曝光光源输出的光

答：绝对禁止;强光对眼睛会有伤害

为什么黄光区内只有 Scanner 应用 Foundation(底座)

答：Scanner 曝光对稳定性有极高要求(减震)

近代光刻技术分哪几个阶段?

答：从 80'S 至今可分 4 阶段:它是由曝光光源波长划分的;高压水银灯的 G-line(438nm), I-line(365nm); excimer laser KrF(248nm), ArF laser(193nm)

I-line scanner 的工作范围是多少?

答：CD >0.35um 以上的图层(LAYER)

KrF scanner 的工作范围是多少?

答：CD >0.13um 以上的图层(LAYER)

ArF scanner 的工作范围是多少?

答：CD >0.08um 以上的图层(LAYER)

什么是 DUV SCANNER

答：DUV SCANNER 是指所用光源为 Deep Ultra Violet, 超紫外线. 即现用的 248nm,193nm Scanner

Scanner 在曝光中可以达到精确度宏观理解:

答：Scanner 是一个集机, 光, 电为一体的高精密机器; 为控制 iverlay<40nm,在曝光过

程中，光罩和 Wafer 的运动要保持很高的同步性。在 250nm/秒的扫描曝光时，两者同步位置 <10nm。相当于两架时速 1000 公里 / 小时的波音 747 飞机前后飞行，相距小于 10 微米

光罩的结构如何？

答：光罩是一块石英玻璃，它的一面镀有一层铬膜（不透光）。在制造光罩时，用电子束或激光在铬膜上写上电路图形（把部分铬膜刻掉，透光）。在距铬膜 5mm 的地方覆盖一极薄的透明膜（叫 pellicle），保护铬膜不受外界污染。

在超净室（cleanroom）为什么不能携带普通纸

答：普通纸张是由大量短纤维压制而成，磨擦或撕割都会产生大量微小尘埃（particle）。进 cleanroom 要带专用的 Cleanroom Paper。

如何做 CD 测量呢？

答：芯片(Wafer)被送进 CD SEM 中。电子束扫过光阻图形(Pattern)。有光阻的地方和无光阻的地方产生的二次电子数量不同；处理此信号可的图像。对图像进行测量得 CD。

什么是 DOF

答：DOF 也叫 Depth Of Focus，与照相中所说的景深相似。光罩上图形会在透镜的另一侧的某个平面成像，我们称之为像平面 (Image Plan)，只有将像平面与光阻平面重合(In Focus)才能印出清晰图形。当离开一段距离后，图像模糊。这一可清晰成像的距离叫 DOF

曝光显影后产生的光阻图形（Pattern）的作用是什么？

答：曝光显影后产生的光阻图形有两个作用：一是作刻蚀的模板，未盖有光阻的地方与刻蚀气体反应，被吃掉。去除光阻后，就会有电路图形留在芯片上。另一作用是充当例子注入的模板。

光阻种类有多少？

答：光阻种类有很多。可根据它所适用的曝光波长分为 I-line 光阻, KrF 光阻和 ArF 光阻  
光阻层的厚度大约为多少？

答：光阻层的厚度与光阻种类有关。I-line 光阻最厚，0.7um to 3um. KrF 光阻 0.4-0.9um. ArF 光阻 0.2-0.5um.

哪些因素影响光阻厚度？

答：光阻厚度与芯片（W A F E R）的旋转速度有关，越快越薄，与光阻粘稠度有关。

哪些因素影响光阻厚度的均匀度？

答：光阻厚度均匀度与芯片（W A F E R）的旋转加速度有关，越快越均匀，与旋转加减速的时间点有关。

当显影液或光阻不慎溅入眼睛中如何处理

答：大量清水冲洗眼睛，并查阅显影液的 C S D S（Chemical Safety Data Sheet），把它提供给医生，以协助治疗

FAC

根据工艺需求排气分几个系统？

答：分为一般排气（General）、酸性排气（Scrubbers）、碱性排气（Ammonia）和有机排气（Solvent）四个系统。

高架 地板分有孔和无孔作用？

答：使循环空气能流通，不起尘，保证洁净房内的洁净度；防静电；便于 HOOK-UP。

离子发射系统作用

答：离子发射系统，防止静电

SMIC 洁净等级区域划分

答：Mask Shop class 1 & 100Fab1 & Fab2 Photo and process area: Class 100Cu-line Al-Line

## OS1 L3 OS1 L4 testing Class 1000

### 什么是制程工艺真空系统(PV)

答：是提供厂区无尘室生产及测试机台在制造过程中所需的工艺真空;如真空吸笔、光阻液涂布、吸芯片用真空源等。该系统提供一定的真空压力(真空度大于 80 kpa)和流量，每天 24 小时运行

### 什么是 MAU(Make Up Air Unit),新风空调机组作用

答：提供洁净室所需之新风，对新风湿度，温度，及洁净度进行控制，维持洁净室正压和湿度要求。

### House Vacuum System 作用

答：HV(House Vacuum)系统提供洁净室制程区及回风区清洁吸取微尘粒子之真空源，其真空度较低。使用方法为利用软管连接事先已安装在高架地板下或柱子内的真空吸孔，打开运转电源。此系统之运用可减低清洁时的污染。

### Filter Fan Unit System(FFU)作用

答：FFU 系统保证洁净室内一定的风速和洁净度，由 Fan 和 Filter(ULPA)组成。

### 什么是 Clean Room 洁净室系统

答：洁净室系统供应给制程及机台设备所需之洁净度、温度、湿度、正压、气流条件等环境要求。

### Clean room spec:标准

答：Temperature  $23\text{ }^{\circ}\text{C} \pm 1^{\circ}\text{C}$ (Photo: $23\text{ }^{\circ}\text{C} \pm 0.5^{\circ}\text{C}$ )Humidity  $45\% \pm 5\%$ (Photo:  $45\% \pm 3\%$ )Class 100Overpressure  $+15\text{pa}$ Air velocity  $0.4\text{m/s} \pm 0.08\text{m/s}$

### Fab 内的 safety shower 的日常维护及使用监督由谁来负责

答：Fab 内的 Area Owner (若出现无水或大量漏水等可请厂务水课 (19105) 协助) 工程师在正常跑货用纯水做 rinse 或做机台维护时，要注意不能有酸或有机溶剂(如 IPA 等)进入纯水回收系统中，这是因为：

答：酸会导致 conductivity(导电率)升高，有机溶剂会导致 TOC 升高。两者均会影响并降低纯水回收率。

### 若在 Fab 内发现地面有水滴或残留水等，应如何处理或通报

答：先检查是否为机台漏水或做 PM 所致，若为厂务系统则通知厂务中控室 (12222)

机台若因做 PM 或其它异常，而要大量排放废溶剂或废酸等应首先如何通报

答：通知厂务主系统水课的值班 (19105)

### 废水排放管路中酸碱废水/浓硫酸/废溶剂等使用何种材质的管路?

答：酸碱废水/高密度聚乙烯(HDPE)浓硫酸/钢管内衬铁福龙(CS-PTFE)废溶剂/不锈钢管(SUS)

### 若机台内的 drain 管有接错或排放成分分类有误，将会导致后端的主系统出现什么问题?

答：将会导致后端处理的主系统相关指标处理不合格，从而可能导致公司排放口超标排放的事故。

### 公司做水回收的意义如何?

答：(1) 节约用水，降低成本。重在环保。(2) 符合 ISO 可持续发展的精神和公司环境保护暨安全卫生政策。

### 何种气体归类为特气(Specialty Gas)?

答：SiH<sub>2</sub>Cl<sub>2</sub>

### 何种气体由 VMB Stick 点供到机台?

答：H<sub>2</sub>

### 何种气体有自燃性?

答: SiH4

何种气体具有腐蚀性?

答: ClF3

当机台用到何种气体时, 须安装气体侦测器?

答: PH3

名词解释 GC, VMB, VMP

答: GC- Gas Cabinet 气瓶柜 VMB- Valve Manifold Box 阀箱, 适用于危险性气体。VMP- Valve Manifold Panel 阀件盘面, 适用于惰性气体。

标准大气环境中氧气浓度为多少? 工作环静氧气浓度低于多少时人体会感觉不适?

答: 21%19%

什么是气体的 LEL? H2 的 LEL 为多少?

答: LEL- Low Explosive Level 气体爆炸下限 H2 LEL- 4%.

当 FAB 内气体发生泄漏二级警报 (既 Leak HiHi), 气体警报灯 (LAU) 会如何动作?  
FAB 内工作人员应如何应变?

答: LAU 红、黄灯闪烁、蜂鸣器叫听从 ERC 广播命令, 立刻疏散。

化学供应系统中的化学物质特性为何?

答: (1) Acid/Caustic 酸性/腐蚀性(2) Solvent 有机溶剂(3) Slurry 研磨液

有机溶剂柜的安用保护装置为何?

答: (1) Gas/Temp. detector; 气体/温度侦测器(2) CO2 extinguisher; 二氧化碳灭火器  
中芯有那几类研磨液(slurry)系统?

答: (1) Oxide (SiO2) (2) Tungsten (W) 鎢

设备机台总电源是几伏特?

答: 208V OR 380V

欲从事生产/测试/维护时, 如无法就近取得电源供给, 可以无限制使用延长线吗?

答: 不可以

如何选用电器器材?

答: 使用电器器材需采用通过认证之正规品牌

机台开关可以任意分/合吗?

答: 未经确认不可随意分/合任何机台开关, 以免造成生产损失及人员伤害.

欲从事生产/测试/维护时, 如无法就近取得电源供给, 也不能无限制使用延长线, 对吗?

答: 对

假设断路器启断容量为 16 安培导线线径 2.5mm<sup>2</sup>, 电源供应电压单相 220 伏特, 若使用单相 5000W 电器设备会产生何种情况?

答: 断路器跳闸

当供电局供电中断时, 人员仍可安心待在 FAB 中吗?

答: 当供电局供电中断时, 本厂因有紧急发电机设备, 配合各相关监视系统, 仍然能保持 FAB 之 Safety, 所以人员仍可安心待在 FAB 中.

词汇表，方便理解：

1 Active Area 主动区（工作区） 主动晶体管（ACTIVE TRANSISTOR）被制造的区域即所谓的主动区（ACTIVE AREA）。在标准之 MOS 制造过程中 ACTIVE AREA 是由一层氮化硅光罩即等接氮化硅蚀刻之后的局部场区氧化所形成的，而由于利用到局部场氧化之步骤，所以 ACTIVE AREA 会受到鸟嘴（BIRD'S BEAK）之影响而比原先之氮化硅光罩所定义的区域来的小，以长 0.6UM 之场区氧化而言，大概会有 0.5UM 之 BIRD'S BEAK 存在，也就是说 ACTIVE AREA 比原在之氮化硅光罩所定义的区域小 0.5UM。

2 ACTONE 丙酮 1. 丙酮是有机溶剂的一种，分子式为  $\text{CH}_3\text{COCH}_3$ 。2. 性质为无色，具刺激性及薄荷臭味之液体。3. 在 FAB 内之用途，主要在于黄光室内正光阻之清洗、擦拭。4. 对神经中枢具中度麻醉性，对皮肤黏膜具轻微毒性，长期接触会引起皮肤炎，吸入过量之丙酮蒸汽会刺激鼻、眼结膜及咽喉黏膜，甚至引起头痛、恶心、呕吐、目眩、意识不明等。5. 允许浓度 1000PPM。

3 ADI 显影后检查 1.定义： After Developing Inspection 之缩写 2.目的：检查黄光室制程；光阻覆盖→对准→曝光→显影。发现缺点后，如覆盖不良、显影不良...等即予修改，以维护产品良率、品质。3.方法：利用目检、显微镜为之。

4 AEI 蚀刻后检查 1. 定义： AEI 即 After Etching Inspection，在蚀刻制程光阻去除前及光阻去除后，分别对产品实施全检或抽样检查。2.目的： 2-1 提高产品良率，避免不良品外流。2-2 达到品质的一致性和制程之重复性。2-3 显示制程能力之指针 2-4 阻止异常扩大，节省成本 3.通常 AEI 检查出来之不良品，非必要时很少作修改，因为重去氧化层 或重长氧化层可能造成组件特性改变可靠性变差、缺点密度增加，生产成本增高，以及良率降低之缺点。

5 AIR SHOWER 空气洗尘室 进入洁净室之前，需穿无尘衣，因在外面更衣室之故，无尘衣上沾着尘埃，故进洁净室之前，需经空气喷洗机将尘埃吹掉。

6 ALIGNMENT 对准 1. 定义：利用芯片上的对准键，一般用十字键和光罩上的对准键合对为之。2. 目的：在 IC 的制造过程中，必须经过 6~10 次左右的对准、曝光来定义电路图案，对准就是要将层层图案精确地定义显像在芯片上面。3. 方法：A.人眼对准 B.用光、电组合代替人眼，即机械式对准。

7 ALLOY/SINTER 熔合 Alloy 之目的在使铝与硅基(Silicon Substrate)之接触有 Ohmic 特性，即电压与电流成线性关系。Alloy 也可降低接触的阻值。

8 AL/SI 铝/硅 靶 此为金属溅镀时所使用的一种金属合金材料利用 Ar 游离的离子，让其撞击此靶的表面，把 Al/Si 的原子撞击出来，而镀在芯片表面上，一般使用之组成为 Al/Si (1%)，将此当作组件与外界导线连接。

9 AL/SI/CU 铝/硅 /铜 金属溅镀时所使用的原料名称，通常是称为 TARGET，其成分为 0.5% 铜，1% 硅及 98.5% 铝，一般制程通常是使用 99% 铝 1% 硅，后来为了金属电荷 迁移现象 (ELEC TROMIGRATION) 故添加 0.5% 铜，以降低金属电荷迁移。

10 ALUMINUN 铝 此为金属溅镀时所使用的一种金属材料，利用 Ar 游离的离子，让其撞击此种材料做成的靶表面，把 Al 的原子撞击出来，而镀在芯片表面上，将此当作组件与外界导线之连接。

11 ANGLE LAPPING 角度研磨 Angle Lapping 的目的是为了测量 Junction 的深度，所作的芯片前处理，这种采用光线干涉测量的方法就称之 Angle Lapping。公式为  $X_j = \lambda/2 \cdot NF$  即 Junction 深度等于入射光波长的一半与干涉条纹数之乘积。但渐渐的随着 VLSI 组件的缩小，准确度及精密度都无法因应。如 SRP (Spreading Resistance Prqbing)也是应用 Angle Lapping 的方法作前处理，采用的方法是以表面植入浓度与阻值的对应关系求出 Junction 的

深度，精确度远超过入射光干涉法。

12 ANGSTRON 埃 是一个长度单位，其大小为 1 公尺的百亿分之一，约为人的头发宽度之五十万分之一。此单位常用于 IC 制程上，表示其层（如 SiO<sub>2</sub>, Poly, SiN...）厚度时用。

13 APCVD (ATMOSPHERE) 常压化学气相沉积 APCVD 为 Atmosphere(大气), Pressure(压力), Chemical(化学), Vapor(气相)及 Deposition(沉积)的缩写，也就是说，反应气体（如 SiH<sub>4</sub>(g), B<sub>2</sub>H<sub>6</sub>(g), 和 O<sub>2</sub> (g)）在常压下起化学反应而生成一层固态的生成物（如 BPSG）于芯片上。

14 AS75 砷 自然界元素之一；由 33 个质子，42 个中子即 75 个电子所组成。半导体工业用的砷离子（As<sup>+</sup>）可由 AsH<sub>3</sub> 气体分解得到。砷是 N-TYPE DOPANT 常用作 N-场区、空乏区及 S/D 植入。

15 ASHING, STRIPPING 电浆光阻去除 1. 电浆预处理，系利用电浆方式（Plasma），将芯片表面之光阻加以去除。2. 电浆光阻去除的原理，系利用氧气在电浆中所产生只自由基（Radical）与光阻（高分子的有机物）发生作用，产生挥发性的气体，再由帮浦抽走，达到光阻 去除的目的。3. 电浆光阻的产生速率通常较酸液光阻去除为慢，但是若产品经过离子植入或电浆蚀刻后，表面之光阻或发生碳化或石墨化等化学作用，整个表面之光阻均已变质，若以硫酸吃光阻，无法将表面已变质之光阻加以去除，故均必须先以电浆光阻去除之方式来做。

16 ASSEMBLY 晶粒封装 以树脂或陶瓷材料，将晶粒包在其中，以达到保护晶粒，隔绝环境污染的目的，而此一连串的加工过程，即称为晶粒封装（Assembly）。封装的材料不同，其封装的作法亦不同，本公司几乎都是以树脂材料作晶粒的封装，制程包括：芯片切割→晶粒目检→晶粒上「架」（导线架，即 Lead frame）→焊线 →模压封装→稳定烘烤（使树脂物性稳定）→切框、弯脚成型→脚沾锡→盖印→完成。以树脂为材料之 IC，通常用于消费性产品，如计算机、计算器，而以陶瓷作封装材料之 IC，属于高信赖度之组件，通常用于飞弹、火箭等较精密的产品上。

17 BACK GRINDING 晶背研磨 利用研磨机将芯片背面磨薄以便测试包装，着重的是厚度均匀度及背面之干净度。一般 6 吋芯片之厚度约 20mil~30 mil 左右，为了便于晶粒封装打线，故需将芯片厚度磨薄至 10 mil ~15mil 左右。18 BAKE, SOFT BAKE, HARD BAKE 烘烤，软烤，预烤 烘烤（Bake）：在集成电路芯片上的制造过程中，将芯片至于稍高温（60℃~250℃）的烘箱内或热板上均可谓之烘烤，随其目的的不同，可区分微烤（Soft bake）与预烤（Hard bake）。软烤（Soft bake）：其使用时机是在上完光阻后，主要目的是为了将光阻中的溶剂蒸发去除，并且可增加光阻与芯片之附着力。预烤（Hard bake）：又称为蚀刻前烘烤（pre-etch bake），主要目的为去除水气，增加光阻附着性，尤其在湿蚀刻（wet etching）更为重要，预烤不全长会造成过蚀刻。

19 BF<sub>2</sub> 二氟化硼 一种供做离子植入用之离子。BF<sub>2</sub><sup>+</sup> 是由 BF<sub>3</sub><sup>+</sup> 气体晶灯丝加热分解成：B<sub>10</sub>、B<sub>11</sub>、F<sub>19</sub>、B<sub>10</sub>F<sub>2</sub>、B<sub>11</sub>F<sub>2</sub>。经 Extract 拉出及质谱磁场分析后而得到。是一种 P-type 离子，通常用作 VT 植入（闸层）及 S/D 植入。

20 BOAT 晶舟 Boat 原意是单木舟，在半导体 IC 制造过程中，常需要用一种工具作芯片传送、清洗及加工，这种承载芯片的工具，我们称之为 Boat。一般 Boat 有两种 材质，一是石英、另一是铁氟龙。石英 Boat 用在温度较高（大于 300℃）的场合。而铁氟龙 Boat 则用在传送或酸处理的场合。

21 B.O.E 缓冲蚀刻液 BOE 是 HF 与 NH<sub>4</sub>F 依不同比例混合而成。6:1 BOE 蚀刻即表示 HF: NH<sub>4</sub>F=1: 6 的成分混合而成。HF 为主要的蚀刻液，NH<sub>4</sub>F 则作为缓冲剂使用。利用 NH<sub>4</sub>F 固定（H<sup>+</sup>）的浓度，使之保持一定的蚀刻率。HF 会浸蚀玻璃及任何含硅石的物质，

对皮肤有强烈的腐蚀性，不小心被溅到，应用大量水冲洗。

22 BONDING PAD 焊垫 焊垫一晶利用以连接金线或铝线的金属层。在晶粒封装 (Assembly) 的制程中，有一个步骤是作“焊线”，即是用金线（塑料包装体）或铝线（陶瓷包装体）将晶粒的线路与包装体之各个接脚依焊线图 (Bonding Diagram) 连接在一起，如此一来，晶粒的功能才能有效地应用。由于晶粒上的金属线路的宽度即间隙都非常窄小，（目前 SIMC 所致的产品约是微米左右的线宽或间隙），而用来连接用的金线或铝线其线径目前由于受到材料的延展性即对金属接线强度要求的限制，祇能做到 1.0~1.3mil (25.4~33 微米) 左右，在此情况下，要把二、三十微米的金属线直接连接到金属线路间距只有 3 微米的晶粒上，一定会造成多条铝线的接桥，故晶粒上的铝路，在其末端皆设计成一个约 4mil 见方的金属层，此即为焊垫，以作为接线使用。焊垫通常分布再晶粒之四个外围上（以粒封装时的焊线作业），其形状多为正方形，亦有人将第一焊线点作成圆形，以资辨识。焊垫因为要作接线，其上得护层必须蚀刻掉，故可在焊垫上清楚地看到“开窗线”。而晶粒上有时亦可看到大块的金属层，位于晶粒内部而非四周，其上也看不到开窗线，是为电容。

23 BORON 硼 自然元素之一。由五个质子及六个中子所组成。所以原子量是 11。另外有同位素，是由五个质子及五个中子所组成原子量是 10 (B10)。自然界中这两种同位素之比例是 4:1，可由磁场质谱分析中看出，是一种 P-type 的离子 (B 11+)，用来作场区、井区、VT 及 S/D 植入。

24 BPSG 含硼及磷的硅化物 BPSG 乃介于 Poly 之上、Metal 之下，可做为上下两层绝缘之用，加硼、磷主要目的在使回流后的 Step 较平缓，以防止 Metal line 溅镀上去后，造成断线。

25 BREAKDOWN VOLTAGE 崩溃电压 反向 P-N 接面组件所加之电压为 P 接负而 N 接正，如为此种接法则当所加电压通在某个特定值以下时反向电流很小，而当所加电压值大于此特定值后，反向电流会急速增加，此特定值也就是吾人所谓的崩溃电压 (BREAKDOWN VOLTAGE) 一般吾人所定义反向 P+ - N 接面之反向电流为 1UA 时之电压为崩溃电压，在 P+ - N 或 N+ - P 之接回组件中崩溃电压，随着 N（或者 P）之浓度之增加而减小。

26 BURN IN 预烧试验 「预烧」(Burn in) 为可靠性测试的一种，旨在检验出哪些在使用初期即损坏的产品，而在出货前予以剔除。预烧试验的作法，乃是将组件（产品）至于高温的环境下，加上指定的正向或反向的直流电压，如此残留在晶粒上氧化层与金属层之外来杂质离子或腐蚀性离子将容易游离而使故障模式 (Failure Mode) 提早显现出来，达到筛选、剔除「早期夭折」产品之目的。预烧试验分为「静态预烧」(Static Burn in) 与「动态预烧」(Dynamic Burn in) 两种，前者在试验时，只在组件上加上额定的工作电压即消耗额定的功率，而后者除此外并有仿真实际工作情况的讯号输入，故较接近实际状况，也较严格。基本上，每一批产品在出货前，皆须作百分之百的预烧试验，馱由于成本及交货其等因素，有些产品旧祇作抽样（部分）的预烧试验，通过后才出货。另外对于一些我们认为它品质够稳定且够水准的产品，亦可以抽样的方式进行，当然，具有高信赖度的产品，皆须通过百分之百的预烧试验。

27 CAD 计算机辅助设计 CAD: Computer Aided Design 计算机辅助设计，此名词所包含的范围很广，可泛称一切计算机为工具，所进行之设计；因此不仅在 IC 设计上用得到，建筑上之设计，飞机、船体之设计，都可能用到。在以往计算机尚未广泛应用时，设计者必须以有限之记忆、经验来进行设计，可是有了所谓 CAD 后，我们把一些常用之规则、经验存入计算机后，后面的设计者，变可节省不少从头摸索的工作，如此不仅大幅地提高了设计的准确度，使设计的领域进入另一新天地。

28 CD MEASUREMENT 微距测试 CD: Critical Dimension 之简称。通常于某一个层次中，为了控制其最小线距，我们会制作一些代表性之量测图形于晶方中，通常置于晶方之边

缘。简言之，微距测量长 当作一个重要之制程指针，可代表黄光制程之控制好坏。量测 CD 之层次通常是对线距控制较重要之层次，如氮化硅、POLY、CONT、MET...等，而目前较 常用于测量之图形有品字型，L-BAR 等。29 CH<sub>3</sub>COOH 醋酸 ACETIC ACID 醋酸澄清、无色液体、有刺激性气味、熔点 16.63℃、沸点 118℃。与水、酒精、乙醚互溶。可燃。冰醋酸是 99.8% 以上之纯化物，有别于水容易的醋酸 食入或吸入纯醋酸有中等的毒性，对皮肤及组织有刺激性，危害性不大，被溅到用水冲洗。

30 CHAMBER 真空室,反应室 专指一密闭的空间，常有特殊的用途：诸如抽真空、气体反应或金属溅度等。针对此特殊空间之种种外在或内在环境：例如外在粒子数 (particle)、湿度及内在温度、压力、气体流量、粒子数等加以控制。达到芯片最佳反应条件。

31 CHANNEL 信道 当在 MOS 晶体管的闸极上加上电压 (PMOS 为负, NMOS 为正), 则闸极下的电子或电洞会被其电场所吸引或排斥而使闸极下之区域形成一反转层 (Inversion Layer), 也就是其下之半导体 P-type 变成 N-type Si, N-type 变成 P-type Si, 而与源极和汲极, 我们旧称此反转层为“信道”。信道的长度“Channel Length”对 MOS 组件的参数有着极重要的影响, 故我们对 POLY CD 的控制需要非常谨慎。

32 CHIP ,DIE 晶粒 一片芯片 (OR 晶圆, 即 Wafer) 上有许多相同的方形小单位, 这些小单位及称为晶粒。同一芯片上每个晶粒都是相同的构造, 具有相同的功能, 每个晶粒经包装后, 可制成一颗颗我们日常生活中常见的 IC, 故每一芯片所能制造出的 IC 数量是很可观的, 从几百个到几千个不等。同样地, 如果因制造的疏忽而产生的缺点, 往往就会波及成百成千个产品。

33 CLT (CARRIER LIFE TIME) 截子生命周期 一、 定义少数载子再温度平均时电子被束缚在原子格内, 当外加能量时, 电子获得能量, 脱离原子格束缚, 形成自由状态而参与电流导通的工作, 但能量消失后, 这些 电子/电洞将因在结合因素回复至平衡状态, 因子当这些载子由被激发后回复平衡期间, 称之为少数载子“LIFE TIME”二、 应用范围 1. 评估卢管和清洗槽的干净度 2. 针对芯片之清洁度及损伤程度对 CLT 值有影响为 A. 芯片中离子污染浓度及污染之金属种类 B. 芯片中结晶缺陷浓度

34 CMOS 互补式金氧半导体 金属氧化膜半导体 (MOS, METAL- OXIDE SEMICONDUCTOR) 其制程程序及先在单晶硅上形成绝缘氧化膜, 再沉积一层复晶硅 (或金属) 作为闸极, 利用外加到闸极的电场来控制 MOS 组件的开关 (导电或不导电)。按照导电载子的种类, MOS, 又可分成两种类型: NMOS (由电子导电) 和 PMOS (由电洞导电)。而互补式金氧半导体 (CMOS COMPLEMENTARY MOS) 则是由 NMOS 及 PMOS 组合而成, 具有省电、抗噪声能力强、 $\alpha$ -PARTICLE 免疫力好等许多优点, 是超大规模集成电路 (VLSI) 的主流。

35 COATING 光阻覆盖 将光阻剂以浸泡、喷雾、刷佈、或滚压等方法加于芯片上, 称为光阻覆盖。目前效果最佳的方法为旋转法; 旋转法乃是将芯片以真空吸附于一个可旋转的芯片支持器 上, 适量的光阻剂加在芯片中央, 然后芯片开始转动, 芯片上的光阻剂向外流开, 很均匀的散在芯片上。要得到均匀的光阻膜, 旋转速度必须适中稳定。而旋转速度 和光阻剂黏滞性绝应所镀光阻剂的厚度。光阻剂加上后, 必须经过软烤的步骤, 以除去光阻剂中过多的溶剂, 进而使光阻膜较为坚硬, 同时增加光阻膜与芯片的接合 能力的主要方法就是在于适当调整软烤温度与时间。经过了以上的镀光阻膜即软烤过程, 也就是完成了整个光阻覆盖的步骤。

36 CROSS SECTION 横截面 IC 的制造基本上是由一层一层的图案堆积上去, 而为了了解堆积图案的构造, 以改善制程或解决制程问题, 经常会利用破坏性切割方式以电子显微镜 (SEM) 来观察, 而切割横截面、观察横截面的方式是其中较为普遍之一。

37 C-V PLOT 电容,电压圆 译意为电容、电压图: 也就是说当组件在不同状况下, 在闸

极上施以某一电压时，会产生不同之电容值（此电压可为正或负），如此组件为理想的组件；也就是闸极 和汲极间几乎没有杂质在里面（COMTAMINATION）。当外界环境改变时（温度或压力），并不太会影响它的电容值，利用此可 MONITOR MOS 组件之好坏，一般 $\Delta V < 0.2$  为正常。

38 CWQC 全公司品质管制 以往有些经营者或老板，一直都认为品质管制是品管部门或品管主管的责任，遇到品质管制做不好时，即立即指责品质主管，这是不对的。品质管制不是品质部门或 某一单位就可以做好的，而是全公司每一部门全体人员都参与才能做好。固品质管制为达到经营的目的，必须结合公司内所有部门全体人员协力合作，构成一个能共同认识，亦于实施的体系，并使工作标准化，且使所定的各种事项确实实行，使自市场调查、研究、开发、设计、采购、制造、检查、试验、出货、销售、服务为止 的每一阶段的品质都能有效的管理，这就是所谓的全公司品质管制（Company Wide Quality Control）。实施 CWQC 的目的最主要的就是要改善企业体质；即发觉问题的体质、重视计划的体质、重点指向的体质、重视过程的体质，以及全员有体系 导向的体质。

39 CYCLE TIME 生产周期时间 指原料由投入生产线到产品于生产线产生所需之生产/制造时间。在 TI-ACER，生产周期有两种解释：一为“芯片产出周期时间”（WAFER-OUT CYCLE TIME ），一为“制程周期时间”（PROCESS CYCLE TIME）“芯片产出周期时间”乃指单一批号之芯片由投入到产出所需之生产/制造时间。“制程周期时间”则指所有芯片于单一工站平均生产/制造时间，而各 工站（从头至尾）平均生产/制造之加总极为该制程之制程周期时间。目前 TI-ACER LINE REPORT 之生产周期时间乃采用“制程周期时间”。一般而言，生产周期时间可以下列公式概略推算之：生产周期时间=在制品（WIP）/产能（THROUGHOUT）

40 CYCLE TIME 生产周期 IC 制造流程复杂，且其程序很长，自芯片投入至晶圆测试完成，谓之 Cycle Time。由于 IC 生命周期很短，自开发、生产至销售，需要迅速且能掌握时效，故 Cycle Time 越短，竞争能力就越高，能掌握产品上市契机，就能获取最大的利润。由于 Cycle Time 长，不容许生产中的芯片因故报废或重做，故各项操作过程都要依照规范进行，且要做好故障排除让产品流程顺利，早日出 FIB 上市销售。

41 DEFECT DENSITY 缺点密度 “缺点密度”系指芯片单位面积上（如每平方公分、每平方英寸等）有多少“缺点数”之意，此缺点数一般可分为两大类：A.可视性缺点 B.不可视性缺点。前者 可藉由一般光学显微镜检查出来（如桥接、断线），由于芯片制造过程甚为复杂漫长，芯片上缺点数越少，产品量率品质必然越佳，故“缺点密度”常备用来当作一个工厂制造的产品品质好坏的指针。42 DEHYDRATION BAKE 去水烘烤 目的：去除芯片表面水分，增加光阻附着力。以免芯片表面曝光显影后光阻掀起。方法：在光阻覆盖之前，利用高温（120℃或 150℃）加热方式为之。

43 DENSIFY 密化 CVD 沉积后，由于所沉积之薄膜（THIN FILM 之密度很低），故以高温步骤使薄膜中之分子重新结合，以提高其密度，此种高温步骤即称为密化。密化通常以炉管在 800℃以上的温度完成，但也可在 快速升降温机台（RTP；RAPID THERMAL PROCESS）完成。

44 DESCUM 电浆预处理 1.电浆预处理，系利用电浆方式（Plasma），将芯片表面之光阻加以去除，但其去光阻的时间，较一般电浆光阻去除（Stripping）为短。其目的 只是在于将芯片表面之光阻因显影预烤等制程所造成之光阻毛边或细屑（Scum）加以去除，以使图形不失真，蚀刻出来之图案不会有残余。2. 有关电浆去除光阻之原理，请参阅「电浆光阻去除」（Ashing）。3. 通常作电浆预处理，均以较低之力，及小之功率为之，也就是使光阻之蚀刻率降低得很低，使得均匀度能提高，以保持完整的图形，达到电浆预处理的目的。

45 DESIGN RULE 设计规范 由于半导体制程技术，系一们专业、精致又复杂的技术，

容易受到不同制造设备制程方法 (RECIPE) 的影响, 故在考虑各项产品如何从事制造技术完善, 成功地制造出来时, 需有一套规范来做有关技术上之规定, 此即“DESIGN RULE”, 其系依照各种不同产品的需求、规格, 制造设备及制程方法、制程能力、各项相关电性参数规格等之考虑, 订正了如: 1. 各制程层次、线路之间距离、线宽等之规格。2. 各制程层次厚度、深度等之规格。3. 各项电性参数等之规格。以供产品设计者及制程技术工程师等人之遵循、参考。

46 EDSIGN RULE 设计准则 设计准则 EDSIGN RULE: 反应制程能力及制程组件参数, 以供 IC 设计者设计 IC 时的参考准则。一份完整的 Design Rule 包括有下列各部分: A. 制程参数: 如氧化层厚度、复晶、金属层厚度等, 其它如流程、ADI、AEI 参数。主要为扩散与黄光两方面的参数。B. 电气参数: 提供给设计者做仿真电路时之参考。C. 布局参数: 及一般所谓的  $3\mu\text{m}$ 、 $2\mu\text{m}$ 、 $1.5\mu\text{m}$ ... 等等之 Rules, 提供布局原布局之依据。D. 光罩制作资料: 提供给光罩公司做光罩时之计算机资料, 如 CD BAR、测试键之摆放位置, 各层次之相对位置之摆放等。

47 DIE BY DIE ALIGNMENT 每 FIELD 均对准 每个 Field 再曝光前均针对此单一 Field 对准之方法称之; 也就是说每个 Field 均要对准。

48 DIFFUSION 扩散 在一杯很纯的水上点一滴墨水, 不久后可发现水表面颜色渐渐淡去, 而水面下渐渐染红, 但颜色是越来越淡, 这即是扩散的一例。在半导体工业上常在很纯的硅芯片 上以预置或离子布植的方式作扩散源 (即红墨水)。因固态扩散比液体扩散慢很多 (约数亿年), 故以进炉管加高温的方式, 使扩散在数小时内完成。

49 DI WATER 去离子水 IC 制造过程中, 常需要用盐酸容易来蚀刻、清洗芯片。这些步骤之后又需利用水把芯片表面残留的盐酸清除, 故水的用量相当大。然而 IC 工业用水, 并不是一般的自来水或地下水, 而是自来水或地下水经过一系列的纯化而成。原来自来水或地下水中含有大量的细菌、金属离子级 PARTICLE, 经厂务的设备将之杀菌、过滤和纯化后, 即可把金属离子等杂质去除, 所得的水即称为“去离子水”, 专供 IC 制造之用。

50 DOPING 参入杂质 为使组件运作, 芯片必须参以杂质, 一般常用的有: 1. 预置: 在炉管内通以饱和的杂质蒸气, 使芯片表面有一高浓度的杂质层, 然后以高温使杂质驱入扩散; 或利用沉积时同时进行预置。2. 离子植入: 先使杂质游离, 然后加速植入芯片。

51 DRAM, SRAM 动态, 静态随机存取内存 随机存取记忆器可分动态及静态两种, 主要之差异在于动态随机存取内存 (DRAM), 在一段时间 (一般是  $0.5\text{ms}$ ~ $5\text{ms}$ ) 后, 资料会消失, 故必须在资料未消失前读取元资料再重写 (refresh), 此为其最大缺点, 此外速度较慢也是其缺点, 而 DRAM 之最大好处为, 其每一记忆单元 (bit) 指需一个 Transistor (晶体管) 加一个 Capacitor (电容器), 故最省面积, 而有最高之密度。而 SRAM 则有不需重写、速度快之优点, 但是密度低, 每一记忆单元 (bit) 有两类: A. 需要六个 Transistor (晶体管), B. 四个 Transistor (晶体管) 加两个 Load resistor (负载电阻)。由于上述之优缺点, DRAM 一般皆用在 PC (个人计算机) 或其它不需高速且记忆容量大之记忆器, 而 SRAM 则用于高速之中 大型计算机或其它只需小记忆容量。如监视器 (Monitor)、打印机 (Printer) 等外围控制或工业控制上。

52 DRIVE IN 驱入 离子植入 (ion implantation) 虽然能较精确地选择杂质数量, 但受限于离子能量, 无法将杂质打入芯片较深 ( $\mu\text{m}$  级) 的区域, 因此需借着原子有从高浓度往低浓度 扩散的性质, 在相当高的温度去进行, 一方面将杂质扩散道教深的区域, 且使杂质原子占据硅原子位置, 产生所要的电性, 另外也可将植入时产生的缺陷消除。此方法称之驱入。在驱入时, 常通入一些氧气, 因为硅氧化时, 会产生一些缺陷, 如空洞 (Vacancy), 这些缺陷会有助于杂质原子的扩散速度。另外, 由于驱入 世界原子的扩散, 因此其方向性是各方均等, 甚至有可能从芯片逸出 (out -diffusion), 这是需要注意的地方。53 E-BEAM

**LITHOGRAPHY 电子束微影技术** 目前芯片制作中所使用之对准机，其曝光光源波长约为（365nm~436nm），其可制作线宽约  $1\mu$  之 IC 图形。但当需制作更细之图形时，则目前之对准机，受曝光光源波长之限制，而无法达成，因此在次微米之微影技术中，及有用以电子数为曝光光源者，由于电子束波长甚短（ $\sim 0.1\text{A}$ ），故可得甚佳之分辨率，作出更细之 IC 图型，此种技术即称之电子束微影技术。电子束微影技术，目前已应用于光罩制作上，至于应用于光芯片制作中，则仍在发展中。

**54 EFR (EARLY FAILURE RATE) 早期故障率 Early Failure Rate** 是产品可靠度指针，意谓 IC 到客户手中使用其可能发生故障的机率。当 DRAM 生产测试流程中经过 BURN-IN 高温高压测试后，体质不佳的产品便被淘汰。为了确定好的产品其可靠度达到要求，所以从母批中取样本做可靠度测试，试验中对产品加高压高温，催使不耐久的产品故障，因而得知产品的可靠度。故障机率与产品生命周期之关系类似浴缸，称为 Bathtub Curve。

**55 ELECTROMIGRATION 电子迁移** 所谓电子迁移，乃指在电流作用下金属的质量会搬动，此系电子的动量传给带正电之金属离子所造成的。当组件尺寸越缩小时，相对地电流密度则越来越大；当此大电流经过集成电路中之薄金属层时，某些地方之金属离子会堆积起来，而某些地方则有金属空缺情形，如此一来，堆积金属会使邻近之导体短路，而金属空缺则会引起断路。材料搬动主要原动力为晶界扩散。有些方法可增加铝膜导体对电迁移之抗力，例如：与铜形成合金，沉积时加氧等方式。

**56 ELECTRON/HOLE 电子/电洞** 电子是构成原子的带电粒子，带有一单位的负电荷，环绕在原子核四周形成原子。电洞是晶体中在原子核间的共享电子，因受热干扰或杂质原子取代，电子离开原有的位置所遗留下来的“空缺”因缺少一个电子，无法维持电中性，可视作带有一单位的正电荷。

**57 ELLIPSOMETER 椭圆测厚仪** 将已知波长之射入光分成线性偏极或圆偏极，照射在待测芯片，利用所得之不同椭圆偏极光之强度讯号，以 Fourier 分析及 Fresnel 方程式，求得待测芯片模厚度

**58 EM (ELECTRO MIGRATION TEST) 电子迁移可靠度测试** 当电流经过金属导线，使金属原子获得能量，沿区块边界 (GRAIN Boundaries) 扩散 (Diffusion)，使金属线产生空洞 (Void)，甚至断裂，形成失效。其对可靠度评估可用电流密度线性模型求出： $AF = \left[ \frac{J}{J_{op}} \right]^n \exp \left[ \frac{E_a}{K_b} \left( \frac{1}{T_{op}} - \frac{1}{T_{stress}} \right) \right]$   $TF = AF \times T_{stress}$

**59 END POINT DETECTOR 终点侦测器** 在电浆蚀刻中，利用其反应特性，特别设计用以侦测反应何时完成的一种装置。一般终点侦测可分为下列三种：**A. 雷射终点侦测器 (Laser Endpoint Detector)**：利用雷射光入射反应物（即芯片）表面，当时发生反应时，反应层之厚度会逐渐减少，因而反射光会有干扰讯号产生，当蚀刻完成时，所接收之讯号亦已停止变化，即可测得终点。**B. 激发光终点侦测器 (Optical Emission End Point Detector)** 用一光谱接受器，接受蚀刻反应中某一反应副产物 (Byproduct) 所激发之光谱，当蚀刻反应逐渐完成，此副产物减少，光谱也渐渐变弱，即可侦测得其终点。**C. 时间侦测器**：直接设定反应时间，当时间终了，即结束其反应。**60 ENERGY 能量** 能量是物理学之专有名词。例如：B 比 A 之电压正 100 伏，若在 A 板上有一电子受 B 版正电吸引而加速跑到 B 版，这时电子在 B 版就比在 A 版多了 100 电子伏特的能量。

**61 EPI WAFER 磊晶芯片** 磊晶系在晶体表面成长一层晶体。

**62 EPROM (ERASABLE-PROGRAMMABLE ROM) 电子可程序只读存储器 MASK ROM** 内所存的资料，是在 FAB 内制造过程中便已设定好，制造完后便无法改变，就像任天堂游戏卡内的 MASK ROM，存的是金牌玛丽就无法变成双截龙。而 EPROM 是在 ROM 内加一个特殊结构叫 A FAMDS，它可使 ROM 内的资料保存，但当紫外光照到它时，它会使 ROM 内的资料消失。每一个晶忆单位都归口。然后工程人员再依程序的规范，用 30 瓦

左右的电压将 0101....资料灌入每一个记忆单位。如此就可灌电压、紫 外光重复使用，存入不同的资料。也就是说如果任天堂卡内使用的是 EPROM，那么你打腻了金牌玛丽，然后灌双截龙的程序进去，卡匣就变成双截龙卡，不用去交换店交换了。

63 ESDELECTROSTATIC DAMAGEELECTROSTATIC DISCHARGE 静电破坏静电放电 1 自然界之物质均由原子组成，而原子又由质子、中子及电子组成。在正常状态下，物质成中性，而在日常活动中，会使物质失去电子，或得到电子，此即产生一静 电，得到电子之物质为带负静电，失去电子即带正静电。静电大小会随着日常的工作环境而有所不同。如下表所示。活动情形 静 电 强 度 (Volt)

10—20% 相对湿度 65-95% 相对湿度

走过地毯走过塑料地板在以上工作拿起塑料活页夹，袋拿起塑料带工作椅垫摩擦 35,00012,0006,0007,00020,00018,000 1,5002501006001,00015,000

表 1 日常工作所产生的静电强度表 2.当物质产生静电后，随时会放电，弱放到子组件上，例如 IC，则会将组件破坏而使不能正常工作，此即为静电破坏或静电放电。 3.防止静电破坏方法有二：A.在组件设计上加上静电保护电路。B.在工作环境上减少静电，例如工作桌之接地线，测试员之静电环。载运送上使用防静电胶套 及海绵等等。

64 ETCH 蚀刻 在集成电路的制程中，常需要将整个电路图案定义出来，其制造程序通常是先长出或盖上一层所需要之薄膜，在利用微影技术在这层薄膜上，以光阻定义出所欲制造之电路图案，再利用化学或物理方式将不需要之部分去除，此种去除步骤便称为蚀刻 (ETCH) 一般蚀刻可分为湿性蚀刻 (WET ETCH) 及干性蚀刻 (DRY ETCH) 两种。所谓干性蚀刻乃是利用化学品 (通常是盐酸) 与所欲蚀刻之薄膜起化学反应，产生气体或可溶性生成物，达到图案定义之目的。而所谓干蚀刻，则是利用干蚀刻机台产生电浆，将所欲蚀刻之薄膜反映产生气体由 PUMP 抽走，达到图案定义之目的。

65 EXPOSURE 曝光 其意义略同于照相机底片之感光在集成电路之制造过程中，定义出精细之光组图形为其中重要的步骤，以运用最广之 5X STEPPER 为例，其方式为以对紫外线敏感之光阻膜作为类似照相机底片，光罩上则有我们所设计之各种图形，以特殊波长之光线 (G-LINE 436NM) 照射光罩后，经过缩小镜片 (REDUCTION LENS) 光罩上之图形则成 5 倍缩小，精确地定义在底片上 (芯片上之光阻膜) 经过显影后，即可将照到光 (正光阻) 之光阻显掉，而得到我们想要之各种精细图 形，以作为蚀刻或离子植入用。因光阻对于某特定波长之光线特别敏感，故在黄光室中早将一切照明用光元过滤成黄色，以避免泛白光源中含有对光阻有感光能力之 波长成分在，这一点各相关人员应特别注意，否则会发生光线污染现象，而扰乱精细之光阻图。

66 FABRICATION (FAB) 制造 Fabrication 为“装配”或“制造”之意，与 Manufacture 意思一样，半导体制造程序，其步骤繁多，且制程复杂，需要有非常精密的设备和细心的作业，才能达到无缺点的品质。FAB 系 Fabrication 之缩写，指的是“工厂”之意。我们常称 FIB 为“晶圆区”，例如：进去“FAB”之前需穿上防尘衣。67 FBFC (FULL BIT FUNCTION CHIP) 全功能芯片 由于产品上会有缺陷，所以有些芯片无法全功能工作。因此须要雷射修补前测试，以便找到缺陷位置及多寡，接着就能利用雷射修补，将有缺陷的芯片修补成全功能 的芯片。《当缺陷超过一定限度时，无法修补成全功能芯片》

68 FIELD/MOAT 场区 FIELD 直译的意思是“场”，足球场和武道场等的场都叫做 FIELD。它的含意就是一个有专门用途的区域。在 IC 内部结构中，有一区域是隔离电场的地方，通常介于两个 MOS 晶体管之间，称为场区。场区之上大部分会长一层厚的氧化层。

69 FILTRATION 过滤 用过滤器 (FILTER，为一半透膜折叠而成) 将液体或气体中的杂质给过滤掉，此称为 FILTRATION 【过滤】因 IC 制造业对洁净式的要求是非常严格的，故各种使用的液体或气体，必须借着一个 PUMP 制造压差来完成，如何炫则一组恰当的过

滤器及 PUMP 是首要的课题。

70 FIT (FAILURE IN TIME) FIT 适用以表示产品可靠度的单位  $FIT = 1/\text{Failure in } 10^9 \text{ Device-Hours}$  例如 1000 Device 工作 1000Hours 后 1 Device 故障, 则该产品的可靠度为:  $(1/\text{Failure}) / (1000 \text{ Devices} * 1000 \text{ Hours}) = 1000 \text{ FITs}$

71 FOUNDRY 客户委托加工 客户委托加工主要是接受客户委托, 生产客户自有权利的产品, 也就是客户提供光罩, 由 SMIC 来生产制造, 在将成品出售给客户, 指收取代工过程费用, 这种纯粹代工, 不涉及销售的方式在国际间较通常的称呼就是硅代工 (Silicon Foundry)。

72 FOUR POINT PROBE 四点侦测 是量测芯片片阻值 (Sheet Resistance) RS 的仪器。原理如下: 有 ABCD 四针, A、D 间通以电流 I, B、C 两针量取电压差 ( $\Delta V$ ), 则  $RS = K \cdot \Delta V / I$  K 是常数比例和机台及针尖距离有关

73 F/S (FINESONIC CLEAN) 超音波清洗 超音波清洗的主要目的是用来去除附着在芯片表面的灰尘, 其反应机构有二: 1. 化学作用: 利用 SC-1 中的  $NH_4OH$ ,  $H_2O_2$  与 Silicon 表面反应, 将灰尘剥除。2. 物理作用: 利用频率 800KHz, 功率  $450W \times 2$  的超音波震荡去除灰尘。

74 FTIR 傅氏转换红外线光谱分析仪 FTIR 乃利用红外线光谱经傅利叶转换进而分析杂质浓度的光谱分析仪器。目的: 已发展成熟, 可 Routine 应用者, 计有: A. BPSG/PSG 之含磷、含硼量预测。B. 芯片之含氧、含碳量预测。C. 磊晶之厚度量测。发展中需进一步 Setup 者有: A. 氮化硅中氢含量预测。B. 复晶硅中含氧量预测。C. 光阻特性分析。FTIR 为一极便利之分析仪器, STD 的建立为整个量测之重点, 由于其中多利用光学原理、芯片状况 (i.e. 晶背处理状况) 对量测结果影响至钜。

75 FTY (FINAL TEST YIELD) 在晶圆出厂后, 必须经过包装及 T1 (断/短路测试), Burn-in (烧结), T3 (高温功能测试), T4 (低温功能测试), QA 测试, 方能销售、出货至客户手中。在这段漫长而繁杂的测试过程中, 吾人定义 Final Test Yield 为:  $T1 \text{ Yield} * \text{Burn-in Yield} * T3 \text{ Yield} * T4 \text{ Yield}$

76 FUKU DEFECT 成因为硅化物之氧化, 尤其是以水蒸气去致密化 PBSG 时会发生, 造成闸极 (Poly Gate) 与金属间的短路。硅化物之氧化可分为二类型: (以  $TiSi_2$ ) 1. 热力学观点  $SiO_2$  是最稳定, 故 Si 扩散至  $TiSi_2$  之表面时会与水反应成  $SiO_2$  而非  $TiO_2$ 。2. 动力学观点而言, 当 Si 不足时则会形成  $TiO_2$  而将  $TiSi_2$  分解。

77 GATE OXIDE 闸极氧化层 GATE OXIDE 是 MOSFET (金氧半场效晶体管) 中相当重要的闸极之下的氧化层。此氧化层厚度较薄, 且品质要求也较严格。

78 GATE VALVE 闸阀 用来控制气体压力之控制装置。通常闸阀开启越大, 气体于反应室内呈现之压力较低; 反之, 开启越小, 压力较高。

79 GEC (GOOD ELECTRICAL CHIP) 优良电器特性芯片 能够合于规格书 (Data Book) 上所定义电器特性的芯片。这些芯片才能被送往芯片包装工厂制成成品销售给客户。

80 GETTERING 吸附 "Gettering" 系于半导体制程中, 由于可能受到晶格缺陷 (Crystal Defect) 或金属类杂质污染等之影响, 造成组件接口之间可能有漏电流 (Junction Leakage) 存在, 而影响组件特性; 如何将这晶格缺陷、金属杂质摒除解决的种种技术上作法, 就叫做 "Gettering" 吸附。吸附一般又可分 "内部的吸附" --- Intrinsic Gettering 及 "外部的吸附" --- Extrinsic Gettering。前者系在下线制造之前先利用特殊高温步骤让晶圆表面的「晶格缺陷或含氧量」尽量降低。后者系利用外在方法如: 晶背伤言、磷化物 ( $POCl_3$ ) 预置 ETC 将晶圆表面的缺陷及杂质等尽量吸附到晶圆背面。两者均可有效改善上述问题。81 G-LINE G-光线 G-line 系指一种光波的波长, 多系水银灯所发出之光波波长之一, 其波长为 436nm。G-line 之光源, 最常作为 Stepper 所用之水银灯, 本来系由许多不同之波长的光组成, 利用

一些 Mirror 和 Filter 反射、过滤的结果，会将其它波长之光过滤掉，仅余 G-line 作为曝光用。使用单一波长作为曝光光源可以得到较佳的能量控制和解吸力，但由于其为单色波故产生之驻波效应 (Standing Wave) 对光阻图案产生很大的影响。在选择最佳光阻厚度，以符合驻波效应，成为 G-line Standing 最要的工作之一。

82 GLOBAL ALIGNMENT 整片性对准与计算 Global Alignment 系指整片芯片在曝光前，先作整片性之对准与计算，然后接着可做整片芯片之曝光。GLOBAL ALIGNMENT 分为两种：1 普通的 Global Alignment: 每片芯片共对准左右两点。2 Advance Global Alignment: 每片芯片对准预先设定好之指定数个 Field 的对准键，连续对准完毕并晶计算机计算后，才整片曝光。

83 GOI (GATE OXIDE INTEGRITY) 闸极氧化层完整性 半导体组件中，闸极氧化层的完整与否关系着电容上电荷的存放能力，故需设计一适当流程，其主要目的在侧闸极氧化层之崩溃电压 (breakdown voltage)、有效氧化层厚度等，以仿真闸极氧化层的品质及可信度，通常即以此崩溃电压值表示 GOI 的优劣程度。

84 GRAIN SIZE 颗粒大小 一种晶体材料形成后，从微观的角度来看，材料都是一大堆颗粒垒叠在一起而成。这些颗粒有大有小，尺寸不一。而且材料的特性也会因为颗粒大小而变化，故常要注意其大小变化。

85 GRR STUDY (GAUGE REPEATABILITY AND REPRODUCIBILITY) 测量仪器重复性与再现性之研究 将良策仪器的重复性——其本身的变异，再现性——操作人本身的变异，用统计的方法算出，以判断量测仪器是否符合制程参数控制之需要。

86 H<sub>2</sub>SO<sub>4</sub> 硫酸 Suifuric Acid 硫酸，为目前最广泛使用的工业化学品。强力腐蚀性、浓稠、油状液体，依纯度不同，由无色至暗棕色，与水以各种不同比例互溶，甚具活性。溶解大部分的金属。浓硫酸具氧化、脱水、磺化大部分的有机化合物，常常引起焦黑。比重 1.84，沸点 315℃。与水混合时需格外小心，由于放热引起爆炸性的溅泼，永远是先将酸加到水中，而非加水至酸中。不小心被溅到，用大量水冲洗。目前在线上，主要用于 SO 清洗及光阻去除。

87 H<sub>3</sub>PO<sub>4</sub> 磷酸 PHOSPHORIC ACID 磷酸无色无谓起泡液体或透明晶形固体。依温度、浓度而定。在 20℃ 50% 及 75% 强度为易流动液体，85% 为似糖浆，100% 酸为晶体。比重 1.834，熔点 42.35℃。在 213℃ 失去 Y<sub>2</sub> H<sub>2</sub>O，形成焦磷酸。溶于水、乙醚，能腐蚀铁及合金。对皮肤、眼睛有刺激性，不小心溅到，可用水冲洗。目前磷酸用于 Si<sub>3</sub>N<sub>4</sub> 的去除，浓度是 85%，沸点 156℃，Si<sub>3</sub>N<sub>4</sub> 与 SiO<sub>2</sub> 的蚀刻比约为 30: 1。

88 HCL 氯化氢 (盐酸) Hydrochloric Acid 盐酸，为无色或淡黄色，发烟，刺激性液体。氯化氢的水溶液。盐酸是一种强烈酸性及高腐蚀性酸。市面出售之“浓”或发烟酸含有氯化氢 38%，比重 1.19。氯化氢溶解在水中有各种不同的浓度。可溶于水、酒精、苯、不可燃。用途广泛。可用于食品加工、金属之酸洗与清洁、工业酸化、一般之清洗、实验试剂。不小心被溅到，用大量水冲洗。目前线上，主要用于 RCA 清洗。

89 HEPA 高效率过滤器 HEPA (High Efficiency Particulate Air Filter) 为洁净室内用以滤去微粒之装置，一般以玻璃纤维制成，可将 0.1μm 或 0.3μm 以上之微粒滤去 99.97%，压力损失约 12.5 mm H<sub>2</sub>O。层流台能保持 Class100 以下之洁净度，即靠 HEPA 达成。目前除层流台使用 HEPA 外，其它如烤箱、旋转机，为了达到控制 Particle 的效果，也都装有 HEPA 之设计。

90 HILLOCK 凸起物 金属溅镀后为使金属与硅基 (Si-Substrate) 有良好的欧姆式接触需先经融合过程，在融合过程中因铝与硅的热膨胀系数不同 (铝将会膨胀较快)，而造成部分的铝无法向外扩张只得向上膨胀造成小山丘状的“凸起物”--Hillock。

91 HMDS HMDS 蒸镀 HMD 原为化学药品 HexaMethylDiSilazane 的缩写，在此则是指

芯片在上光阻前的一个预先处理步骤。HMDS 蒸镀就是利用惰性气体（例如氮气）带着 HMDS 的蒸汽通过芯片表面，而在芯片表面形成一层薄膜。其目的在于：A.消除芯片表面的微量水分。B.防止空气中的水汽再次吸附于晶面 C.增加光阻剂（尤其是正光阻）对于晶面的附着能力，进而减少在尔后之显影过程中产生掀起，或是在蚀刻时产生了“Undercutting”的现象。目前在规范中规定于 HMDS 蒸镀完 4 小时内需上光阻以确保其功能。

92 HNO<sub>3</sub> 硝酸 NITRIC ACID 硝酸透明、无色或微黄色、发烟、易吸湿之腐蚀性液体，能腐蚀大部分金属。歧黄色是由于曝光所产生之二氧化氮，为强氧化剂，可与水混合，沸点 78°C，比重 1.504。IC 产业中硝酸用于清洗炉管，但对皮肤有腐蚀性，为强氧化剂，与有机物接触有起火危险。清洗炉管用。93 HOT ELECTRON EFFECT 热电子效应 在 VLST 的时代，Short Channel Devices 势在必行，而目前一般 Circuit 应用上又未打算更改 Supply Voltage；如此一来，VG=VD S=5V 情况下，将造成 Impact Ionization（撞击游离化）现象发生于 Drain 邻近区域。伴随而生之 Electron-Hole pairs（电子电洞对），绝大部分经由 Drain（Electrons）or Sub.（Holes）导流掉。但基于统计观点，总会有少部分 Electrons（i.e. Hot-Electrons）所具 Energy，足以克服 Si-SiO<sub>2</sub> 之 Barrier Height（能障），而射入 SiO<sub>2</sub> 且深陷(Trap)其中。另亦有可能在 Hot-Electrons 射入过程中打断 Si-H 键结，而形成 Interface Trap 于 Si-SiO<sub>2</sub> 接口。不论遵循上述二者之任一，均将导致 NMOS Performance 的退化（Degradation）现象。

94 I-LINE STEPPER I-LINE 步进对准曝光机 当光罩与芯片对准后，利用 365nm 之波长为光源，将预坐在光罩上图形以 M: 1 之比例，一步一步的重复曝光至芯片上之机器。

95 IMPURITY 杂质 纯粹的硅市金刚石结构，在室温下不易导电。这时如加一些 B11 或 As 7 5 取代硅的位置，就会产生“电洞”或“载子”，加以偏压后就可轻易导电。加入的东西即称为杂质。

96 INTEGRATED CIRCUIT (IC) 集成电路 集成电路是一九五八年由美国德州仪器公司所发明的。他是将一个完整的电子电路处理在一块小小的硅芯片上，然后再以金属联机与外在引线相接，外加陶瓷或塑料 包装的装置，由于它能够将原本需要许多零件的电子电路集中缩小，因此被称为集成电路。它具备优于传统电子电路的三个特性：体积小、廉价、可靠。依照其集积化的程度可区分为小型（SSI）、中型（MSI）、大型（LSI）、超大型（VLSI）集成电路。

97 ION IMPLANTER 离子植入机 在 IC 制程中有时需要精确地控制杂质的浓度及深度，此时即不宜由扩散之方式为之，故以“离子植入机”解离特定气体后调整离子束电流（Beam Current），计算电流 X 时间得到所植入杂质的浓度并利用加速电压控制植入的深度。

98 ION IMPLANTATION 离子植入 1. 由于加速器集真空技术的发展，离子布植机成为本世纪高科技产品之一，取代了早先的预置制程。2. 其好处有：2-1 可精确控制剂量。2-2 在真空下操作，可免除杂质污染。2-3 可精确控制植入的深度。2-4 是一种低温的制程。2-5 只要游离，任何离子皆可植入

99 ISOTROPIC ETCHING 等向性蚀刻 在蚀刻反应中，除了纵向反应发生外，横向反应亦同时发生，此总蚀刻即称之为等向性蚀刻。一般化学湿蚀刻多发生此种现象。干式蚀刻，其实刻后的横截面具有异 向性蚀刻特性（Anisotropic），即可得到较陡的图形。

100 ITY (INTEGRATED TEST YIELD) 为界定产品从 wafer fab 至组装、测试所有流程的良率，其定义为：INTEGRATED TEST YIELD= Wafer Yield\*MPY\*ATYNote：MPY:Multi-Probe Yield ATY:Assembly Test Yield

101 LATCH UP 栓锁效应 当 VLSI 线路密度增加，Latch-Up 之故障模式于 MOS VLSI 中将愈来愈严重，且仅发生于 CMOS 电路，所有 COMS 电路西寄生晶体管所引起的 LATCH-UP 问题称之为 SCR (SILICON-CONYROLLED RECTIFIER) LATCH -UP，在 S1 基

体内 CMOS 中形成两个双截子晶体管 P-N-P-N 形式的路径,有如一个垂直的 P+-N-P 与一个水平 N+-P-N 晶体管组合形成于 CMOS 反向器,如果电压降过大或受到外界电压、电流或光的触发时,将造成两个晶体管互相导通而短路,严重的话将使 IC 烧毁,故设计 CMOS 路防止 LATCH-UP 的发生是当前 IC 界最重要的课题。

102 LAYOUT 布局 此名词用在 IC 设计时,是指将设计者根据客户需求所设计之线路,经由 CAD(计算机辅助设计),转换成实际制作 IC 时,所需要之光罩布局,以便去制作光罩。因此此一布局工作,关系到光罩制作出后是和原设计者之要求符合,因此必须根据一定之规则,好比一场游戏一样,必须循一定之规则,才能顺利完成,而布局完成后之图形便是 IC 工厂制作时所看到的光罩图形。

103 LOAD LOCK 传送室 用来隔绝反应室与外界大器直接接触,以确保反应室内之洁净,降低反应是受污染之程度。一般用于电浆蚀刻及金属溅度等具有真空反应室之设备。

104 LOT NUMBER 批号 批号乃是为线上所有材料之身份证,KEY IN 批号如同申报流动人口户口,经由 COMAX 系统藉以管制追踪每批材料之所在站别,并得以查出每批材料之详细相关资料,固为生产过程中之重要步骤。批号为 7,其编排方法如下: X X X X X 年码流水序号 92 0000193 0000294 00003 以下类推※批号之产生乃于最投片时由 SMS 系统自动产生。

105 LPCVD (LOW PRESSURE) 低压化学气相沉积 LPCVD 的全名是 Low Pressure Chemical Vapor Deposition,即低压化学气相沉积。这是一种沉积方法。在 IC 制程中,主要在生成氮化硅、复晶硅、二氧化硅及非晶硅等不同材料。

106 LP SINTER 低压烧结 低压烧结 (Low Pressure Sinter, LP Sinter),指在低于大气压力下(一般为 50 Pa 或更低),加热组件。目地在使金属膜内之原子,藉由热运动重新排列,以减少原有之晶格缺陷,形成较佳之金属结晶颗粒以增加膜之品质。由于在低压下热传导之途径主要为辐射 (Radiation) 而非对流 (Convection) 或传导 (Conduction),因此控温之方式须选以加热线圈为监控温度 (Spike Control) 而非实际芯片或管内之温度 (Profile Control),以避免过热 (Over-Shooting) 之现象。

107 LPY (LASER PROBE YIELD) 雷射修补前测试良率 针测出能够被雷射修补后,产生出全功能的芯片,比便送入雷射修补机,完成雷射修补的动作。此测试时由全功能芯片一开始就是全功能芯片,须要经过雷射修补前测试,计算出缺陷多寡及位置,以便进行雷射修补,将缺陷较少的芯片修补成全功能芯片。(缺陷超过一定限度时无法修补成全功能芯片)

108 MASK 光罩 MASK 原意为面具,而事实上光罩在整个 IC 制作流程上,所扮演之角色艺有几分神似。光罩主要之用途在于利用光阻制程,将我们需要之图形一直复印在芯片上,制作很多之 IC 晶方。而光罩所用只对准机台,也分为 1X, 5X, 10X, MASK (即 1:1, 5:1, 10:1) 等,而根据其制作之材质又可分为石英光罩 (QUARTY), 绿玻璃光罩等。

109 MICRO, MICROMETER, MICRON 微,微米 1.定义: Micro 为  $10^{-6}$  1 Micro =  $10^{-6}$  Micrometer =  $10^{-6}$  m = 1 Micro =  $1\mu\text{m}$  通常我们说  $1\mu$  即为  $10^{-6}$  m 又因为  $1\mu = 10^{-8}$  cm =  $10^{-10}$  m (原子大小) 故  $1\mu = 10,000$  约唯一万个原子堆积而成的厚度或长度。

110 MISALIGN 对准不良 1.定义: 这层光阻图案和上层【即留在芯片上者】图案叠对不好,超出规格。可依照不同层次的规格决定要不要修改。原因: 人为、机台、芯片弯曲、光罩

111 MOS 金属氧化物半导体 1.定义: 构成 IC 的晶体管结构可分为两型—双载子型 (bipolar) 和 MOS 型 (Metal-Oxide-Semiconductor)。双载子型 IC 的运算速度较快但电力消耗较大,制造工程也复杂,并不是 VLSI 的主流,而 MOS 型是由电效应晶体管 (FET) 集成化而成。先在硅上形成绝缘氧化膜之后,再由它上面的外加电极 (金属或复晶硅) 加入电场来控制

制其动作，制程上比较简单，。也较不耗电，最早 成为实用化的是 P-MOS，但其动作速度较慢，不久更高速的 N-MOS 也被采用。一旦进入 VLSI 的领域之后，NMOS 的功率消耗还是太大了于是由 P- MOS 及 N\_ MOS 组合而成速度更高，电力消耗更少的互补式金氧半导体（CMOS， Complementary MOS）遂成为主流。

112 MPY (MULTI PROBE YIELD) 多功能侦测良率 针测出符合电路特性要求的芯片，以便送刀封包工厂制成内存成品；此测试时得到的良品率称之。每片晶圆上并不是每一个芯片都能符合电路特性的要求，因此须要多功能针测以找出符合要求的芯片。

113 MTBF (MEAN TIME BETWEEN FAILURE) MTBF 为设备可靠度的评估标准之一，其意指设备前后发生故障的平均时间。MTBF 时间愈短表示设备的可靠度愈佳，另外 MTRR 为 Mean Time to Repair 为评估设备修复的能力。

114 N<sub>2</sub>, NITROGEN 氮气 定义：空气中约 4/5 是氮气。氮气势一安定之惰性气体，由于取得不难且安定，故 Fib 内常用以当作 Purge 管路，除去脏污、保护气氛、传送气体（Carrier Gas）、及稀释（Dilute）用途。另外，氮气在零下 196℃（77F）以下即以液态存在，故常被用作真空冷却源。现在 Fab 内 Clean House 用之氮气为厂务提供 99.999% 纯度者，生产线路所用之氮气为瓶装更高纯度者。因氮气之用量可局部反应生产成本，故应节约使用以降低成本。

115 N,P TYPE SEMICONDUCTOR N,P 型半导体 1. 定义：一般金属由于阻值相当低（10-2Ω-cm 以下），因此称之为良导体，而氧化物阻值高至 105Ω-cm 以上，称之为非导体或绝缘体。若阻值在 10-2~105Ω-cm 之间，则名为半导体。IC 工业使用的硅芯片，阻值就是在半导体的范围，但由于 Si（硅）是四价键结（共价键）的结构，若参杂有如砷（As）磷（P）等五价元素，且占据硅原子的地位（Substitutional Sites），则多出一个电子，可用来导电，使导电性增加，称之为 N 型半导体。若参杂硼（B）等三价元素，且仍占据硅原子的地位，则键结少了一个电子，因此其它键结电子在足够的热激发下，可以过来填补，如此连续的电子填补，称之为电洞传导，亦使硅之导电性增加，称之为 P 型半导体。因此 N 型半导体中，其主要 带电粒子为带负电的电子，而在 P 型半导体中，则为带正电的电洞。在平衡状况下（室温）不管 N 型或 P 型半导体，其电子均与电洞浓度的乘积值不变。故一方浓度 增加，另一方即相对减少。

116 NSG (NONDOPED SILICATE GLASS) 无参入杂质硅酸盐玻璃 NSG 为半导体集成电路中之绝缘层材料，通常以化学气相沉积的方式声称，具有良好的均匀覆盖特性以及良好的绝缘性质。主要应用于闸极与金属或金属与金属间 高低不平的表面产生均匀的覆盖及良好的绝缘，并且有助于后续平坦化制程薄膜的生成。117 NUMERICAL APERTURE (N.A.) 数值孔径 1. 定义：NA 是投影式对准机，其光学系统之解析力（Resolution）好坏的一项指针。NA 值越大，则其解析力也越佳。依照定义，数值孔径  $NA = n \cdot \sin \theta = n \cdot D / 2f = n \cdot D / 2f$  换算成照相机光圈值 f-number (f/#) 可得  $f/\# = f/d = 1/2NA$  (D: 镜面直径。f: 镜头焦距。n: 镜头折射率。f/# 即我们在照相机镜头之光圈值上常见的 f/16,8,5.6,4,5.3,2.8 等即是) 亦即，镜片越大，焦距越短者，解析 力就越佳，但镜片的制作也就越困难，因为易产生色差 (Chromatic Aberration) 及像畸变 (Distorsion)，以 CANON Stepper 为例，其 NA=0.42，换算成照相机光圈, Stepper 镜片之昂贵也就不足为奇了。

118 OEB (OXIDE ETCH BACK ) 氧化层平坦化蚀刻 将 Poly-1 上之多余氧化层 (Filling OX) 除去，以达到平坦化之目的。

119 OHMIC CONTACT 欧姆接触 1. 定义：欧姆接触试纸金属与半导体之接触，而其接触面之电阻值远小于半导体本身之电阻，使得组件操作时，大部分的电压降在于活动区 (Active region) 而不在接触面。欲形成好的欧姆接触，有两个先决条件：A. 金属与半导体间有低的接口能障 (Barrier Height) B. 半导体有高浓度的杂质渗入 ( $ND \geq 10^{18} \text{ cm}^{-3}$ ) 前者

可使接口电流中热激发部分 (Thermionic Emission) 增加; 后者则使接口空乏区变窄, 电子有更多的机会直接穿透 (Tunneling), 而同时  $R_c$  阻值降低。若半导体不是硅晶, 而是其它能量间隙 (Energy Gap) 较大的半导体 (如 GaAs), 则较难形成欧姆接触 (无适当的金属可用), 必须于半导体表面参杂高浓度杂质, 形成 Metal-n+ -n or Metal-P+ -P 等结构。

120 ONO (OXIDE NITRIDE OXIDE) 氧化层-氮化层-氧化层 半导体组件, 常以 ONO 三层结构做为介电质 (类似电容器), 以储存电荷, 使得资料得以在此存取。在此氧化层 - 氮化层 - 氧化层三层结构, 其中氧化层与基晶的结合较氮化层好, 而氮化层居中, 则可阻挡缺陷 (如 pinhole) 的延展, 故此三层结构可互补所缺。

121 OPL (OP LIFE) (OPERATION LIFE TEST) 使用期限 (寿命) 任何对象从开始使用到失效所花时间为失败时间 (Time of Failure: TF), 对产品而言, 针对其工作使用环境 (Operation), 所找出的 TF, 即为其使用期限 (Operation Life Time)。其方法为:  $AF = \exp [? (E_{stress} - E_{op})] * \exp [E_a / k (1 / T_{op} - 1 / T_{stress})]$ . (1)  $K = 8.63 * 10^{-5}$  Failure Rate  $\lambda (t) = \text{No. of Failure} * 10^9 / \text{Total Test Time} * AF * \text{Device}$ , in FIT  $\text{Total Test Time} * AF = \text{Operation Hours}$

122 OXYGEN 氧气 OXYGEN 氧气无色, 无气味, 无味道双原子气体。在  $-183^\circ\text{C}$  液化成浅蓝色的液体, 在  $218^\circ\text{C}$  固化。在海平面上, 空气中约占 20% 体积的氧, 溶于水和乙醚, 不可燃, 可以助燃。在电浆光阻去除中, 氧气主要用来去除光阻。在电浆干蚀刻中, 氧混入  $\text{CF}_4$  气体中, 可增加  $\text{CF}_4$  气体的蚀刻速度。目前氧气主要用途 在于电浆光阻去除; 利用氧气在电浆中产生氧的自由基 (RADICAL) 与光阻中的有机物反应, 产生二氧化碳和水气体蒸发, 达到去除光阻的效果。

123 P31 磷 自然界元素之一。由 15 个质子及 16 个中子所组成。离子植入的磷离子, 是由气体  $\text{PH}_3$  经灯丝加热分解得到的 3 L  $\text{P}^+$  离子, 借着 Extraction 抽出气源室经加速管加速后, 布植在芯片上。是一种 N-type 离子, 用做磷植入, S/D 植入等。

124 PARTICLE CONTAMINATION 尘粒污染 尘粒污染: 由于芯片制造过程甚为漫长, 经过的机器、人为处理操作过程甚为繁杂, 但因机器、人为均获多或少会产生一些尘粒, 这些尘粒一旦沾附到芯片上, 集会 造成污染影响, 而伤害到产品品质与良率, 此即『尘粒污染』, 我们在操作过程中应时时防着各项尘粒污染来源。

125 PARTICLE COUNTER 尘粒计数器 1. 定义: 快捷方式市之等即是以每立方呎内之为例数为分类标准, 而计算微粒数的仪器即称尘粒计数器。

126 PASSIVATION OXIDE (P/O) 护层 1. 定义: 为 IC 最后的制程, 用以隔绝 Device 和大气 2. 目的: 因与大气接触, 故着重在 Corrosion (铝腐蚀)、Crack (龟裂)、Pin Hole (针孔) 之防治。除了防止组件为大气中污染之隔绝外, 护层也可当作 Metal 层之保护, 避免 Metal 被刮伤。3. 方法: 护层可分两种材料: A. 大部分产品以 PSG 当护层 (P Content 2-4%)。 B. 少部份以 PECVD 沉积之氮化硅为之。

127 P/D (PARTICLE DEFECT) 尘粒缺陷 Particle Defect 颗粒缺陷为当今影响 4M DRAM 制程良率的最大主因, 一般而言, particle size 如大于 design rule 的二分之一, 足以造成组件的损坏。故在 clean room 的洁净度要求, 操作人员的洁净纪律、设备本身的结构以及制程的条件和设备维修的能力, 无一不为了降低 particle 和提升良率而做最大的努力。

128 PECVD 电浆 CVD 1. 定义: CVD 化学反应所须知能量可以是热能、光能或电浆。以电浆催化之 CVD 称作 PECVD。PECVD 的好处是反应速度快、较低的基版温度及 Step Coverage; 缺点是产生较大的应力, 现 Fib 内仅利用 PECVD 做氮化硅护层。PECVD 英文全名为 Plasma Enhancement CVD。

129 PELLICLE 光罩护膜 一般在光罩过程中, 易有微尘掉落光罩上, 而使 chip 有重复性缺陷, 故在光罩上下面包围一层膜, 称之为 Pellicle。好处如下: 1. 微层仅只掉落在膜上, 光照射结果对于此微尘影响图按程度将降至最低。2. 无须经清洗过程而只须用空气枪吹去

膜上异物即可将异物（微层）去除。

130 PELLICLE 光罩保护膜 顾名思义，光罩保护膜之最大功能，即在保护光罩，使之不受外来脏污物之污染，而保持光罩之洁净；一般使用之材料为硝化纤维素，而厚度较常用的有 0.28U, 0.86U 两种。一般而言，可将 PELLICLE 分为两部分：(I) FRAME：骨架部分，支持其薄膜之支架，其高度称为 STAND-OFF，一般而言，愈高其能忍受 PARTICLE 之能力愈高，但须配合机台之设计使用，(II) FILM：透明之薄膜，其厚度之均匀度，透光率是使用时重要之参数。PELLICLE 之寿命，除了人为损伤外，一般均可曝光数十万次，透光率衰减后才停用并更换。光罩 PELLICLE 膜 PARTICLE LENS SYSTEM WAFER PELLICLE 面之成像

131 PH<sub>3</sub> 氢化磷 1.定义：一种半导体工业之气体，经灯丝加热供给能量后，可分解成 P<sub>4</sub>, PH<sub>4</sub>、PH<sub>2</sub>（及 H<sub>4</sub>）。通常 3IP<sub>4</sub> 最大。可由质谱谱场分析出来，做 N-type 离子布植用

132 PHOTORESIST 光阻 光阻为有机材料，系利用光线照射始有机物质进行光化学反应而产生分子结构变化，在使用溶剂使之显像。目前一般商用光阻主要含有二部分（1）高分子树脂（2）光活性物质，一工作原理不同可分为正，负两类：（1）正型：光活性物质为 DIAZOQUINONE 类，照光前难溶于碱液中，有抑制溶解树脂功能，照光后产生羧酸，反有利于碱液溶解，因此可区分曝光区与非曝光区。（2）负型：光活性物质为 DIAZIDE 类，照后生成及不安定之双电子自由基，能与高分子树脂键结，而增加分子量，选择适当溶剂便可区分曝光区与非曝光区。目前 SMIC 使用之正、负光阻，皆为适用于 G-LINE（436NM）制程之光阻。

133 PILOT WAFER 试作芯片 Pilot Wafer 为试作芯片，并非生产芯片(Prime Wafer)。在操作机器前，为了确定机器是否正常所作的试片，或机器作完维修、保养后所作的测试用芯片均称为 Pilot Wafer。由于 Pilot Wafer 所做出来的结果将决定该批的制程条件。故处理 Pilot Wafer 时，所抱持的态度必须和处理 Prime Wafer 一样慎重。

134 PINHOLE 针孔 在光阻制程所谓的针孔，就是在光阻覆盖时，光阻薄膜无法完全盖住芯片表面，而留有细小如针孔般的缺陷，再蚀刻制程时，很可能就被蚀刻制程穿透而致芯片的报废。在以往使用负光阻制程时，由于负光阻粘稠性较大，覆盖较薄，因此容易出现针孔，固有些层次（如 CONTACT）必须覆盖两次，才能避免针孔的发生。目前制程大多使用正光阻，覆盖较厚，已无针孔的问题存在，QC 亦不作针孔测试。

135 PIRANHA CLEAN 过氧硫酸清洗 过氧硫酸（peroxymonosulfuric acid）又称为 CARO's acid，主要由硫酸加双氧水反应而成，反应式如下： $H_2SO_4 + H_2O_2 \rightleftharpoons H_2SO_5 + H_2O$ 。H<sub>2</sub>SO<sub>5</sub> 为一强氧化剂，可将有机物氧化分解为 CO<sub>2</sub> + H<sub>2</sub>O，因此在 IC 制程中常用去去除残留之光阻，另外对金属污染及微尘污染也有相当好的清洗效果。Piranha 原意为食人鱼，在这里则是用来形容过氧硫酸与光阻之间的剧烈反应。

136 PIX 聚醯胺膜 PIX 作用为缓冲护层，可保护 CELL 于封装时缓冲封装所造成之应力，且可隔绝  $\alpha$ -Particle，PIX 本身为一负光阻。

137 PLASMA ETCHING 电浆蚀刻 1.定义：在干蚀刻技术中，一班多采用电浆蚀刻与活性离子蚀刻，通常电浆蚀刻使用较高之压力（大于 200mT）及较小之 RF 功率，当芯片浸在电浆之中，暴露在电浆之表面层原子或分子与电浆中之活性原子接触并发生反应形成气态生成物而离开晶面造成蚀刻，此类蚀刻即称之为电浆蚀刻。所谓电浆极为气体分子在一电场中被游离成离子（正、负电荷）、电子及中性基（Radical）等，在纯化学反应中，吾人取中性基为蚀刻因子，在 R.I.E 时，取活性离子作为中性因子。

138 PM (PREVENTIVE MAINTENANCE) 定期保养 设备正常运转期间停机，实施定期（每天、每周、每月或每季等）的设备保养。例如：检修，上油，润滑，更换消耗材等。有良好的 PM 才能发挥高的设备运转效率，发挥设备最高的使用率。

139 POCL<sub>3</sub> 三氯化磷 1.定义: 一种用作 N<sub>2</sub> 扩散之化合物。通常以 N<sub>2</sub> 为“载气”(Carrier Gas),带着 POCl<sub>3</sub> 和 O<sub>2</sub>(氧气)一起进入高温炉管,然后产生下列反应:4POCl<sub>3</sub>+3O<sub>2</sub>→2P<sub>2</sub>O<sub>5</sub>+6Cl<sub>2</sub> 在反应过程中,磷沉淀于硅表面,同时硅表面亦行成一氧化层。

140 POLY SILICON 复晶硅 SILICON 是 IC 制造的主要原料之一。通常其结构都是单晶(单一方向的晶体)。而本名词也是 SILICON,只是其结构是复晶结构。及其结晶的结构是多方向的,而非单一方向。POLY SILICON 通常用低压化学气相沉积的方法沉积而得。其主要用途在作 MOS 的闸极单元的接连。

141 POX 聚醯胺膜含光罩功能 POX 为 PIX / PO Reticle Combine 之略写,即 PIX 除具缓冲护层之作用外,同时可做 PO Pattern 用之光阻。PIX 本身为一负光阻。

142 PREHEAT 预热 1.定义: 在 3190 作金属溅镀时,第一个 Station 适用来预热芯片。2.目的: 2-1 使芯片在大气中吸附的气体,藉加热加速其在真空中之排除,溅镀时可以有较干净之接口。2-2 芯片温度高,溅镀之金属原子可以有较高之移动率,而使表面扩散较完全,有较好的表面覆盖性。※但预热的温度有其限制,高的温度使得金属与硅之接触电阻升高,也使得金属突起(Hillock)变的严重,而让表面反射率变差,在金属闸产品,也发现温度不同会造成其临界电压的改变。

143 PRESSURE 压力 1.定义: 气体分子撞击反应室之器壁所产生之力量。气体分子越少、压力越低。反之气体分子越多、压力越高。如压力<大气压力时,表示真空,其压力单位即为真空度。1 大气压=1atm=760mmHg 水银柱压力 1Torr(托)=1/760atm=1mmHg。如压力>大气压力时,即用单位面积 所受的重量表示,如 kg/cm<sup>2</sup> 或 psi(1b(磅)/in<sup>2</sup>(吋))。一般电浆蚀刻机之压力为 50millitorr~0.5Torr。一般使用之气瓶之压力约为 500psi~2000PSI。

144 REACTIVE ION ETCHING (R.I.E.) 活性离子蚀刻 1.定义: 在电浆蚀刻时,电浆里包含了活性原子、活性离子(正离子)及电子,当压力较低(小于 100mT)且气体两端所加之电压较高时,活性离子即被迅速加速 冲向电极上之芯片,而撞击晶面上暴露在电浆中的表层,将表层之原子击出,再与活性原子反应因而造成蚀刻,此类之蚀刻即称之为活性离子蚀刻。目前我们已有的 R.I.E 蚀刻机台为 8110、8130、8330 等。

145 RECIPE 程序 PECEIPE 在字典的解释是医生的处方、厨师的食谱。在 IC 制程中则意指制程的程序。IC 制造中各个步骤都有不同的要求:如温度要多少?某气体流量多少?反应室的压力多少?等等甚多的参数都是 PECEIPE 内容的一部份。

146 REFLOW 回流 回流是 IC 制造中一种特殊技术。做法是将磷或硼或两者合一,参入二氧化硅中(常用 CVD 方式)。之后将芯片推入高温炉管一段时间,该二氧化硅层(PSG BPSG 或 BSG)即会『流动』,使芯片表面变得较平坦。此即回流平坦化技术。回流取该氧化层『重新流动』之意。

147 REGISTRATION ERROR 注记差 1.定义: IC 芯片的两个层次之间,必须要正确地叠在一起,此二层次图案完全正确对准之差距,即称为 Registration Error。

148 RELIABILITY 可靠性 可靠性实在有很多方法来描述,但我们指针对两个观点来讨论。一般来说,可靠性就是客户对我们 SMIC 的产品,再他们使用一段很长的时间之后,仍能符合他们的信赖与期待。更精确的描述就是我们 SMIC 的产品在我们所要求的特殊环境的测试,经过一段很长的时间之后,仍能确保 IC 功能、函数的正常操作及称为可靠性合格产品。测试的项目很多,半总离不开电压、温度、湿度、机械应力及压力等。

149 REPEAT DEFECT 重复性缺点 1.定义: 重复性缺点系指同一芯片内每一个曝光区的相同位置均出现相同之缺点。重复性缺点仅发生于 Stepper 曝光之产品。重复性缺点所产生的现象可分为两种: A.光罩图案缺失:造成芯片图案缺失。 B.光罩表面或 Pellicle 表面

污染：造成重复性显影不良。重复性缺点对产品良率有很大的杀伤力，例如一个曝光区内有八个晶方，若有一个晶方图案有缺失，就会造成产品良率 1/8 之损失。因此重复性缺点是 VLSI 的头号杀手

150 RESISTIVITY 阻值 1. 定义：物理学上定义阻值 ( $\Omega$ ，即欧姆) 为  $R=\Delta V/I$  在物体两截面上通以定电流  $V$ ，量得电压降  $\Delta V$ ，则  $\Delta V/I$  即为这物体的阻值。但在半导体工业上，这样地易阻值并无太大实用价值。我们只关心芯片表面薄薄一层“动作区”的阻值。于是另外定义一“薄层阻值”，以四点针测的方法量取  $\Delta V$  及  $I$ 。 $R_s=\Delta V/I$  ( $\Omega/\square$ ) 定义为芯片的阻值。

151 RESOLUTION 解析力 1. 定义：解析力在 IC 制程的对准及印刷 (Align & Print) 过程中站着相当重要的地位，尤其演进到 VLSI 后，解析力的要求就更高了。它是对光学系统 (如对准机、显微镜、望远镜等) 好坏的评估标准之一，现今多以法国人雷莱 (Rayleigh) 所制定的标准遵循之。物面上两光点经光学系统头于成像面上不会模糊到只被看成一点时，物面上两点间之最短距离。若此距离越小，则解析力越大。(通常镜面大者，即 NA 大者，其解析力也越大) 解析力不佳时，例如对准机对焦不清时，就会造成 CD 控制不良，Metal 桥接，Contact 瞎窗或开窗过大等。

152 RETICLE 光罩 为使 IC 各个线路在芯片上成形 (PATTERN)，则必须有规范露光及遮光区域 (规范曝光成形) 的赵子，此称为光罩。

153 REWORK/SCRAP/WAIVE 修改 /报废/签过 修改：分 ADI 修改，AEI 修改 ADI 修改：将光阻去除，重新上新光阻，已定义新的或精确的图形。AEI 修改：将已沉积或氧化的厚层或薄层去除，重新沉积或氧化。报废：芯片受污染或流程不合规范上之规定，造成芯片有无良率之可能，则停止流程不继续生产谓之。签过：当芯片流程至某步骤时，发现图形或规格不合于规范内之规定，但其影响不致使芯片达报废之程度，可由工程师签署，继续流程。

154 RUN IN/OUT 挤进/挤出 1. 定义：对准不良的一种；挤进 (Run in)：不管是在水平或垂直方向，芯片中央附近对准良好，而两边图案向中央挤进。挤出 (Run out)：不管是在水平或垂直方向，芯片中央附近对准良好，而两边图案向中央挤出。

155 SCRUBBER 刷洗机 1. 在沉积或蚀刻制程之后常会有些微尘落在芯片表面，此种 P/D 可刷洗去除，避免对良率的伤害。2. 依照膜的性质，及机台的特性不同，通常我们有下列 5 种不同刷洗方式：- 去离子水冲洗- 毛刷刷洗- 高压水刷洗- 毛刷加高压水刷洗- 芯片双面刷洗

156 SAD (SOFTWARE DEFECT ANALYSIS) 缺陷分析软件 将每片晶圆及芯片上的缺陷送入计算机中，利用缺陷分析软件，将缺陷分类，一便利统计及分析的工作。目前 89% 微缩型产品分类如下： SBIT PSG PBTL CLTT OTHTPROW HROW SROW FROW 2ROWNROW OCL1 OCL2 QCL1 QCL2HCL1 HCL2 OTCO WCL1 WCL2YSEL NCOL LCIO BLK1 BLK2BLK3 OTHR APEO RWCL 目前 HYDRA 产品分类如下： SBIT PBCT PBTL CLTT OTHTPRW1 PRW2 PRW3 FROW 2RW12RW2 NRW1 NRW2 OCL1 OCL2QCL1 QCL2 HCL1 HCL2 WCL1WCL2 YSEL NCOL APED RWCLBLK1 BLY2 BLK3 OTHR (以上均为分类时使用之表示名称)

157 SEM (SCANNING ELECTRON MICROSCOPE) 电子显微镜 EM 最常用之运作方式为发射电子束方式 (EMISSIVE MODE)，电子油灯丝放出，而由 5~30KV 之电压加速，再经过电磁透镜使电子束聚集照射至试片表面。一般使通过扫描线圈之电流同时通过相对应之阴极射线管偏折电子束，而在萤光幕上产生相似而较大之扫描动作，达到放大之作用。扫描式电子显微镜的解像能介于光学显微镜与穿透式电子显微镜之间，可用于检验固体试片，由于视野纵深长，可显示清晰三度空间像。

158 SELECTIVITY 选择性 1. 定义：两种材料，分别以相同的酸液或电浆作蚀刻，其

两种蚀刻率之比值谓之。例如复晶电浆蚀刻：对复晶之蚀刻率为 2000 $\mu$ /min 对氧化层之蚀刻率为 200 $\mu$ /min 则复晶对氧化层之选择性： $SS=2000\mu/\text{min}/200\mu/\text{min}=10$  选择性越高表示蚀刻特性越好。一般干事实刻选择性较化学湿蚀刻为差，吾人取较高的选择性之目的即在于电浆蚀刻专心蚀刻该蚀刻之氧化层，而不会商道上层光阻或下层氧化层，以确保蚀刻之完整性。

159 SILICIDE 硅化物 一般称为硅化物 (Silicide)，指耐火金属 (Refractory Metal) 之硅化物，如钛 (Ti)、钨 (W)、钼 (Mo) 等与元素硅 (Si) 结合而成之化合物 (TiSi<sub>2</sub>、Wsi<sub>2</sub>、MoSi<sub>2</sub>)。硅化物应用在组件之目的，主要为降低金属与硅接口、闸极或晶体管串联之阻抗，以增加组件之性能。以钛之硅化物为例。

160 SILICIDE 金属硅化物 1. 定义: Silicide 通常指金属硅化物，为金属与硅之化合物。2. 目的：在微电子工业硅晶集成电路中主要用为 2-1 导体接触 (Ohmic Contact) 2-2 单向能阻接触 (Schottky Barrier Contact) 2-3 低阻闸极 (Gate Electrode) 2-4 组件间通路 (Interconnect) 在 VLSI (超大规模集成电路) 时代中，接面深度及接口接触面积分别降至次微米及 1~2 平方毫米，以往广泛应用为金属接触的 Al，由于严重的川入半导体问题，在 VLSI 中不再适用。再加上其它技术及应用上的需求，金属硅化物在集成电路工业上日亦受到重视。由于集成电路中之金属硅化物限于近贵重 (Pt, Pd, Co, Ni, ...) 及高温金属 (Ti, W, Mo, Ta) 硅化物。

161 SILICON 硅 硅—SI (全文 SILICON) 为自然界元素之一种，意即我们所使用的硅芯片组成元素，再元素周期表中排行 14，原子量 28.09，以结晶状态存在 (重复性单位细胞组成)，每一单位细胞为由一个硅原子在中心与其它 4 个等为硅原子所组成之四面体 (称为钻石结构) 如图标中心原子以其 4 个外围共价电子与邻近之原子其原型或其价件之结合。硅元素之电子传导特性介于金属导体与绝缘体材料之间 (故称为半导体材料)，人类可经由温度之变化、能量之激发及杂质参入后改变其传导特性，再配合了适当的制程步骤，便产生许多重要的电子组件，运用在人类的日常生活中。

162 SILICON NITRIDE 氯化硅 氮化硅是 Si<sub>x</sub>NY 的学名。这种材料跟二氧化硅有甚多相似处。氮化硅通常用低压化学气相沉积法或电浆化学气相沉积法所生成。前者所得之薄膜品质较佳，通常作 IC 隔离氧化技术中的阻隔层，而后者品质较差，但因其沉积时温度甚低可以作 IC 完成主结构后的保护层。

163 SMS (SEMICONDUCTOR MANUFACTURING SYSTEMS) 半导体制造系统 此 SMS - 半导体制造系统为德州仪器公司 (TI) 为辅助半导体的生产制造而发展出的——计算机软件系统，其主要功能包含有：1) 制程变更控制 2) 制程数据搜集与统计图表 3) 制程与操作规格制定 4) 机台维护追踪 5) 生产计划制定 6) 线上统计报表 7) 在制品操作与追踪 8) 自动化系统接口

164 SOFT WARE, HARD WARE 软件, 硬件 1. 定义：大略而言，所谓硬件可泛指像 PC-BOARD, 机台外壳等一些零组件；而软件一般指运用程序，指令一套完整之控制系统，可经由程序、指令之修改而修改，以人为例子，软件就好比脑中之记忆、思想，可控制整个身体各部分之动作，而硬件就好比人的手、足、眼、耳等器官；由以上之比喻，可知道软件、硬件是相辅相成，缺一不可。近来尚有一种介于 Software、Hardware 之间，称为 Firm-Ware，他的功用，就相当于把软件写入硬件 (比如 PROM)，以加快速度，因此软、硬件间的区分也变得较不明显了。

165 S.O.G (SPIN ON GLASS) 旋制氧化硅 旋制氧化硅 (Spin on Glass) 是利用旋制芯片，将含有硅化物之溶液均匀地平涂与芯片上，在利用加热方式与溶剂驱离，并将固体硅化物硬化程稳定之非晶相氧化硅。其简单流程如下：旋转平涂→加热烧烤→高温硬化 (~450 $^{\circ}$ C) 旋制氧化硅是应用用在组件制造中，金属层间之平坦化 (Planization)。以增加层与层之间的结合特性，避免空洞之形成及膜之剥裂。166 S.O.J.(SMALL OUTLINE J-LEAD

PACKAGE) 缩小型 J 形脚包装 IC 因外脚弯成“J”字形,且外伸长度较一般 I.C.为小儿得名。是记忆 I.C.的普遍化包装形态,为配合表面粘着技术的高集积度要求而诞生。

167 SOLVENT 溶剂 1. 两种物质相互溶解成一种均匀的物质时,较少的物质被称为溶质,较多的物质被称为溶剂。例如:糖溶解于水中,变成糖水,则糖为溶质,水为溶剂,缓和的结果称为溶液。2. 溶剂分有机溶剂与无机溶剂两种: 2-1 有机溶剂:分子内含有碳原子的称为有机溶剂,例如丙酮 ( $\text{CH}_3\text{COCH}_3$ )、IPA ( $\text{CH}_3\text{CHOHCH}_3$ )。2-2 无机溶剂:分子内不含有碳原子的称为无机溶剂,例如硫酸 ( $\text{H}_2\text{SO}_4$ ), 氢氟酸 ( $\text{HF}$ ) 3. 在 FIB 内所通称的溶剂,一般是只有有机溶液而言。

168 SPECIFICATION (SPEC) 规范 规范是公司标准化最重要的项目之一,它规定了与生产有关事项的一切细节,包括机台操作、洁净室、设备、保养、材料、工具及配件、品管、可靠性、测试...等等。IC 制造流程复杂。唯有把所有事项钜细靡遗的规范清楚并确实遵照规范执行,检讨规范是否合理可行,相关规范是否有冲突,已达自主管理及全员参与标准化之目的。

169 SPICE PARAMETER SPIC 参数 1. 定义: SPICE 是一个分析非线性 DC、非线性瞬间 AC 和线性 AC 行为的电路仿真程序。其由各种不同的半导体组件模式计算之,有 DIODES、BJT'S、JFET'S、MOSFET'S 等,利用此种模式计算仿真实际半导体电路的工作情形。而使用于这些模型上的计算参数统称「SPICE 参数」。目前由于公司使用之模式为 HSPICE Level 2,故一般常说之 SPICE 参数,即指 Design Rules 所提供之 HSPICE Level 2 中 MOSFET 所用到的参数。

170 S.R.A (SPREADING RESISTENCE ANALYSIS) 展布电阻分析 在下列一些情况,可利用 S.R.A.方法来得到其 Resistivity: (1) n on n+ layer, p on p+ layer(2) n on p layer, p on n layer(3) depth profiling(4) lateral profiling(5) very small areas 在测量 Resistivity 的方式有很多,但若降低校正,则一定要使用到 Point-Contact Probe 的展布电阻。

171 SPUTTERING 溅镀 溅镀乃是带能量的离子撞击物体,致使表面的原子飞散出来,附着于基板上形成薄膜之现象。当所加电流为直流时,称为直流溅镀 (D.C SPUTTERING): 所加电流为射频时,称为射频溅镀(RADIO FREQUENCY SPUTTERING)。基于经济及效率观点,氩气为最常使用之气体。当氩气被快速电子碰撞时产生氩离子,此时电子数目增加并且同时受电场再加速,以便再次进行游离反应,如此不去如同雪崩 (AVALANCHE) 一样产生辉光放电 (GLOW DIS CHARGE), 氩气离子受阴极 (靶材) 吸引,加速碰撞靶材,将表面原子打出而吸附在基本上。由于溅镀有薄膜厚度容易控制、组织均匀、表面相当平滑等优点,因此被电子工业广泛地使用。

172 SSER (SYSTEM SOFT ERROR RATE TEST) 系统暂时性失效比率测试 Soft Error 为所有挥发性组件之共有特性。对 DRAM 而言,每记忆细胞 (Memory Cell) 所存电荷 (charge-to-sense) 存在一刻开关的介面 (junction),以空乏 (depleted) 的状态存在。当该细胞有高能粒子源 (e.g.  $\alpha$ -particle From molding compound),使所存电荷消失或减少到无法侦测时,该细胞便暂时消失。

173 STEP COVERAGE 阶梯覆盖 STEP COVERAGE 系指芯片上各层次间各项薄膜、沉积材料等,当覆盖、跨越过底下层次时,由于底下层次高低起伏不一及有线条粗细变化,会造成此薄膜、沉积材料在产品部分区域(如高低起伏交界处)覆盖度会变差,此变差的程度,即为『STEP COVERAGE』一般系以厚度变化比表示:  $\text{STEP COVERAGE} = \text{厚度最薄处} / \text{厚度最厚处}$  此比例越接近 1 越佳,反之越差,正常言均应达 50% 以上。

174 STEPPER 步进式对准机 1. 定义: Stepper (步进式对准机)系 Stepprojection aligner 之简称。Stepper 与 Project aligner 原理类似,只是将每片芯片分为 20~60 次曝光完成。Stepper 使用自动对准,不但迅速、精确,且可使用计算机计算、补偿。对准方式可分为 Global、

Die by Die、 Advanced Global Alignment，此三种方式均可补偿因芯片形变造成之对准不良（如 Run in/Run out）。Stepper 亦可按缩影比例，分为 1X、5X、10X 三种。以最常见之 5X 为例，光罩上一条 5 $\mu$  之直线，曝在芯片上，仅 1 $\mu$  而已。

175 SURFACE STATES 表面状态 1.定义：表面状态是介在 Si-SiO<sub>2</sub> 接口的正电荷，也叫做 Interface States。形成表面状态的原因，是作氧化步骤时 Si 会从表面移去而与 O<sub>2</sub> 反应。当氧化停止时，有些离子 Si 会留在靠近接口处。这些为完全键结的 Si 离子会沿着表面形成一条正电荷 QSS。电荷大小决定于下列因素：氧化速度、后续热处理步骤及 Crystal Orientation。在 {111} 表面，良好的氧化步骤下，其表面状态密度约为 5 $\times 10^{10}$  charges/cm<sup>2</sup> (i.e.  $Q_s = 5 \times 10^{10} q$ )。而对于 {100} 的表面状态密度约为 {111} 表面的 1/3。

176 SWR (SPECIAL WORK REQUEST) SWR 为特殊工作要求单。生产线为了区划正常流程芯片和工程实验芯片，将工程师依规定申请实验的芯片批称为 SWR Lot，通常 SWR Lot 是用来解决制程问题，或评估新机器、制程而试作的芯片。

177 TARGET 靶 一般用在金属溅镀 (SPUTTERING) 也就是以某种材料致造成各种形状，因此『靶』当作金属薄膜溅镀之来源。

178 TDD (TIME DEPENDENT DIELECTRIC BREAKDOWN) 介电质层崩溃的时间依存性 利用介电质崩溃时间 (Time to Breakdown) TBD 与外加电场 (电压) 的线性模型，作加速测试 (Accelerated Test)，对产品 (介电质) 寿命 (Life Time) 作一估算。TBD  $\propto e^{-\beta E_{ox}}$  .....(1)  $AF = e^{-\beta (E_{ext} - E_{op})}$  .....(2) Life Time = T-50 \* AF ... (3)

179 TECN (TEMPORARY ENGINEERING CHANGE NOTICE) 临时性制程变更通知 随时工程变更通知 (ECN) 为工程师为了广泛收集资料，或暂时解决制程问题，而做的制程变更，此一临时性的变更将注明有效期限，以利生产作业。

180 TEOS (TETRAETHYLOR THOSILICATE) 四乙基氧化硅 1. 化学式：Si (OC<sub>2</sub>H<sub>5</sub>)<sub>4</sub>，与常温下伟业体态。 2. 用途：与经化学反应后，可生成一层二氧化硅，在 IC 里通常被当作绝缘层使用。 3. 反应方式：- 高温低压分解反应- 高温加入触媒分解反应- 电浆促进分解反应

181 THRESHOLD VOLTAGE 临界电压 定义：当我们在 MOS 晶体管之源极 (Source) 和汲极 (Drain) 加一个固定偏压后，再开始调整闸极 (Gate) 对基质 (Substrate) 的电压，当闸极电压超过某一个值之后，源极和汲极就会产生电流而导通，则我们就称此时的闸极电压称为临界电压 (Threshold Voltage)。NMOS 晶体管的临界电压相对于基质为正。PMOS 晶体管的临界电压相对于基质为负。一般在制程上我们会影响临界电压的因素主要有二： A 闸极氧化层厚度：Gate Oxide 越厚，则 VT (绝对值) 越高。 B 基质渗杂的浓度：VT 值入 Dose 越高，则 VT 越高。

182 THROUGH PUT 产量 1. 定义：Through Put 为单位工时之产出量，例如某机器每小时生产 100 片，则称其 Through Put 为 100 片/每小时。如果每天运作 21 小时，则每天的 Through Put 为 2100 片/天。IC 工业系许多昂贵且精密的设备投资，故必须充分利用，维持生产的顺畅，发挥其最大的效能。故高的 Through Put 为我们评估机器设备的一项很重要的因素之一。除了设备上发挥其最大产能外，必须要配合人为的力量：如流程安排、故障排除、... 等，亦即必须“人机一体”才能发挥生产的整体效益，达到最高的生产力。

183 TMP (TI MEMORY PROTOTYPE, TMS- X TI MEMORY STANDARD PRODUCT) TI 记忆产品样品 (原型)，TI 内存标准产品 在 TI 的产品出货控制 (Product Outgoing Control) 中，以 Qualification (资格审定) 为里程碑：(1) Qual 以前：均为 TMP 产品。(2) Qual 以后：分为 TMS-A, TMS-B, TMS-C 及 Special，其可靠度保证。 184 TOX 氧化层厚度 TOX 系 THICKNESS OF OXIDE 之缩写，即一般所谓氧化层厚度。通常于氮化硅蚀刻、复晶及接触窗蚀刻完，均需作 TOX 之测量。藉以确认该层次蚀刻完是否有过蚀刻或蚀刻不

足之现象。

185 TROUBLE SHOOTING 故障排除 1. 定义：在生产过程，因为 4M，即设备、材料、人为、方法等，造成之一切问题而阻碍生产，例如：机器当机、制程异常...等。工程人员解决以上发生的问题，使这些“障碍”消弭于无形谓之 Trouble Shooting，故障排除。

186 UNDERCUT 底切度 1. 定义：所谓“底切度”（Undercut），乃是蚀刻时的专用术语，简单的说，Undercut 便是原来所定义出来的图形间偏离度的大小。对于等向性蚀刻（Isotropic Etching）Undercut 较大，而对于完全非等向性蚀刻（Full Anisotropic Etching），其 Undercut 等于零，亦即能忠实地将原图形复制出来。

187 UNIFORMITY 均匀度 1. 定义：均匀度 Uniformity 是一种测量值的平均分布。藉以表示芯片内各测量点的数值或是芯片与芯片间其测量值的变化。在 IC 制程中，常用以表示薄膜厚度，线宽（C.D）在整片芯片内或芯片间的分布。其表示方法如下：如测量芯片内上中下左右与 5 点数据，5 点平均值。 $X = X1 + X2 + X3 + X4 + X5 / 5$  均匀度  $Uniformity = X_{max} - X_{min} / 2X \times 100\%$  例如测量 T0x 厚度共五点分布如下：510、525、540、515、520? 则均匀度  $= 540 - 510 / 2 \times 522$ （平均值） $\times 100\% = 2.8\%$  均匀度越小，表示各点变化越小。亦即表示芯片制程品质较佳，也是制程能力越好的表现

188 VACUUM 真空 1. 定义：真空系针对大气而言一特定空间内的部分气体被排出，其大气小于一大气压。表示真空的单位相当多，在大气的环境下，通称为一大气压，也可表示为 760torr 或 760mmHg 或 14.7psi。真空技术中将真空一压力大小分为四个区域：A 粗略真空（Rough Vacuum）B 中度真空（Medium Vacuum）C 高真空（High Vacuum）D 超高真空（Ultra-High Vacuum）2. 方法：在不同真空，气体流动的形式与传导性等均有所差异，，简略而言：在粗略真空气体的流动称之为黏滞流（Viscous Flow）。其气体分子间碰撞频繁，且运动具有方向性；在高真空或超高真空范围，气体流动称为分子流（Molecular Flow），其气体分子间碰撞较少，且少于气体与管壁碰撞的次数，气体分子运动为随意方向，不受抽气方向影响。在热导性方面：中度真空之压力范围其与压力成正比关系，粗略真空与高真空区域则无此关系。

189 VACUUM PUMP 真空帮浦 凡能将特定空间内的气体去除以减低气体分子数目，造成某种程度真空状态的机件，通称为真空帮浦。目前生产机台所使用的真空帮浦可分为抽吸式：旋片帮浦（ROTARY PUMP）、鲁是帮浦（ROOTS PUMP），活塞帮浦（PISTON PUMP）、扩散帮浦（DIFFUSION PUMP）。储气式：冷冻帮浦（CRYO PUMP）、离子帮浦（ION PUMP）。

190 VERNIER 游标尺 1. 定义：用来读取曝光制程中，本层次与前面层次之对准情形是否良好。目前公司所用之游标尺，在读取之分辨率上可分为每格 0.2μ 及每格 0.1μ 者。目前只用 在步进式对准机中以得到更佳之分辨率。游标尺之设计因人而异，因此在读取时是否方便、容易，端赖设计上之是否周详。

191 VIA CONTACT 连接窗 『VIA CONTACT』连接窗，系指相同两层材质之间，如 POLY（一）与 POLY（二）之间，METAL（一）与 METAL（二）之间欲直接相联系时，必须在 制程上挖出下层（如 POLY（一），METAL（一）），窗来，让上层（如 POLY（二），METAL（二））能与下层相通此窗即为连接窗，一般此做法系 为节省晶方面积而设计，但因多了一层的关系，制程上会较复杂，我们 DOUBLE METAL 或 DOUBLE POLY 制程即为一例。

192 VISCOSITY 黏度 『粘度』一词专用于液体，意指当液体接受切应力时（指作用力方向与液体表面不垂直），液体就会产生变形，所以便定义『粘度』来表示液体产生变形程度的大小。粘度是可以调整的，因为液体受切应力而变形是宏观行为的表现，所以在液体完全兼容前提下，可以加入不同粘度的溶剂来调整粘度。

193 VLF（VERTICAL LAMINAR FLOW）垂直流层 在流体的流动状态中，可分为层

流 (Laminar Flow) 及齐流 (Turbulent Flow) 两种。一名叫 Osborne Reynold 的人利用一简 易的实验将其界定, 而雷诺数即为层流及齐流的界定值。一般流体流速较快者其流线 (streamline) 分子易受干扰, 且雷 诺数大易形成齐流, 反之, 则易形成层流。(雷诺数 = 惯性力 / 粘滞力) 在无尘室芯片制造场所内, 其气流为稳定之层流, 如此可将人员、机台 等所产生之微尘带离。若为齐流, 则微尘将滞留不去。因此在无尘室内机台的布置及 人员的动作都以尽量不使空气流线产生齐流为原则。

194 WELL/TANK 井区 WELL 即井区。在 IC 中的组件 MOSFET (即金氧半场效晶体 管), 常作两型(N 及 P)相接的方式, 即 CMOS 技术。此时为区分这两种不同型的 MOSFET, 就须先扩散两个不同型的区域于 IC 中。此种区域即称为 WELL 区。

195 WLRC (WAFER LEVEL RELIABILITY CONTROL) 晶圆层次 (厂内) 可靠度控 制 WLRC 是取代“End-of- line-reliability”的一种全新的可靠度监控方式, 主要分为物性 (In-line Scrap), 如厚度、材料、应力、接触窗覆盖率; 另有电性 (成品 Scrap), 如 TDDb, CHC EM Stress 等。兹比较如下: Characteristic 1. 回馈 (Feedback) 时间 2. 真正原因的回馈性 3. Wafer Level Qual 与 Design-in-Reliability 的应用 4. 产品报废 5. 加速系数及准确性 WLRC1. 快, 使产品损失减到最低 2. 良好, 能马上找出问题所在 3. 卓越 4. 较多 5. 高, 较差 End-OF-Line- Reliability1. 慢, 出问题 时已大量产品受影响 2. 困难, 因包装后产品的 Data Association (资料联结性) 已破坏, 不易找出真正原因。3. 困难 4. 少 5. 低, 高

196 WLQC (WAFER LEVEL QUALITY CONTROL ) 晶圆层次 (厂内) 品质控制 先 定义: 客户眼中的品质: 产品有问题, 就是品质不良我们眼中的品质: 出厂前看得到, 量得 到的问题, 才是品质 (Quality) 我们眼中的可靠度: 出厂前看 不到, 又不能直接量得到的 问题, 在客户手中欲发生问题, 是可靠度 (Reliability) 所以, WLQC 是针对一切厂内可直 接测之 (time-zero measurement), 对品质有所影响的参数进行筛选及分类。对外, 使出货品 质分布集中、均匀 (假设某可靠特性不变)。对内, 回馈厂内, 增进制造品 质。

197 X-RAY LITHOGRAPHY X 光微影技术 1. 定义: 在次微米微影成像技术中, X-射 线微影技术备受瞩目。由于 X-射线之波长甚短 (约 4~10?), 故可得甚佳之解析力, 同时亦 无干涉及绕射现象, 因此 可制作次微米线宽之 IC 图案。这种以 X- 射线为曝光光源之微影 技术目前仍在开发中。由于 X-射线穿透力甚强, 其光照图案不再是铬膜, 而是一般大都为 “金”。

198 YELLOW ROOM 黄光室 黄光室 (Yellow Room) 就是所有光源 (照明用) 均为 黄色光波波长者之区域。由于 IC 晶方内之图案均有赖光阻剂 (Photo resist) 覆盖在芯片上, 再经曝光, 显影而定型; 而此光阻剂遇光线照射, 尤其是紫外线 (UV) 即有曝光之效果, 因此在显影完毕以前之生产, 均宜远离此 类光源。黄光之光波较长, 使光阻剂曝光之效果 很低, 因此乃作为显影前之照明光源。